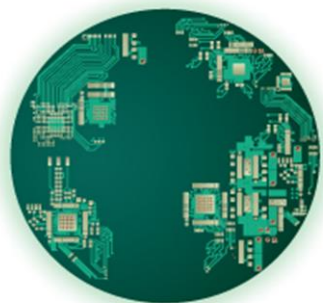
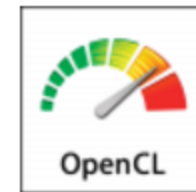




FPGA Design
Solutions Network

Gold



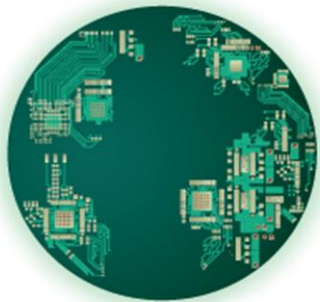
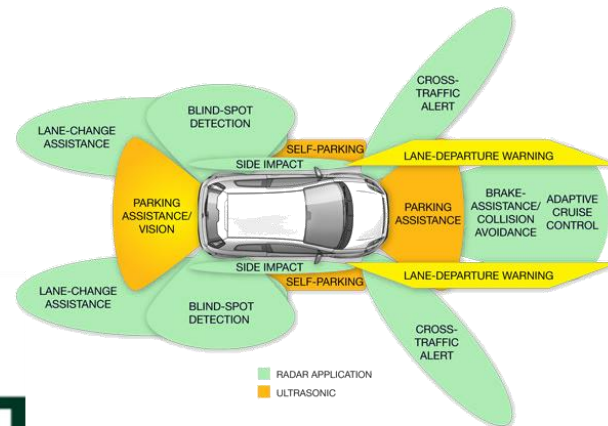
Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО



FPGA PARALLEL COMPUTING WITH OPENCL
ВИСТОРОВСКИЙ А.Е. FPGA@ALMAZ-SP.RU

Тенденции: Рост объемов данных

- Рост функциональности и производительности устройств
- Не прекращающийся рост объемов обрабатываемых данных
- Проблемы наращивания производительности вычислительных устройств без серьезного увеличения стоимости, размеров и энергопотребления системы
 - Энергопотребление и отвод тепла зачастую выступают лимитирующим фактором наращивания вычислительной мощности
 - Сложности с контролем данных и синхронизации



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Гетерогенная вычислительная система:

Имеются различные типы задач в приложениях:

Задачи управления: Поиск, разбор итд

Задачи обработки данных: Фильтрация, обработка видеопотока, телеком-трафика, массивов данных

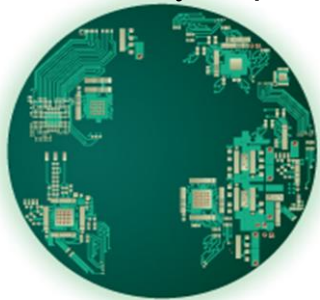
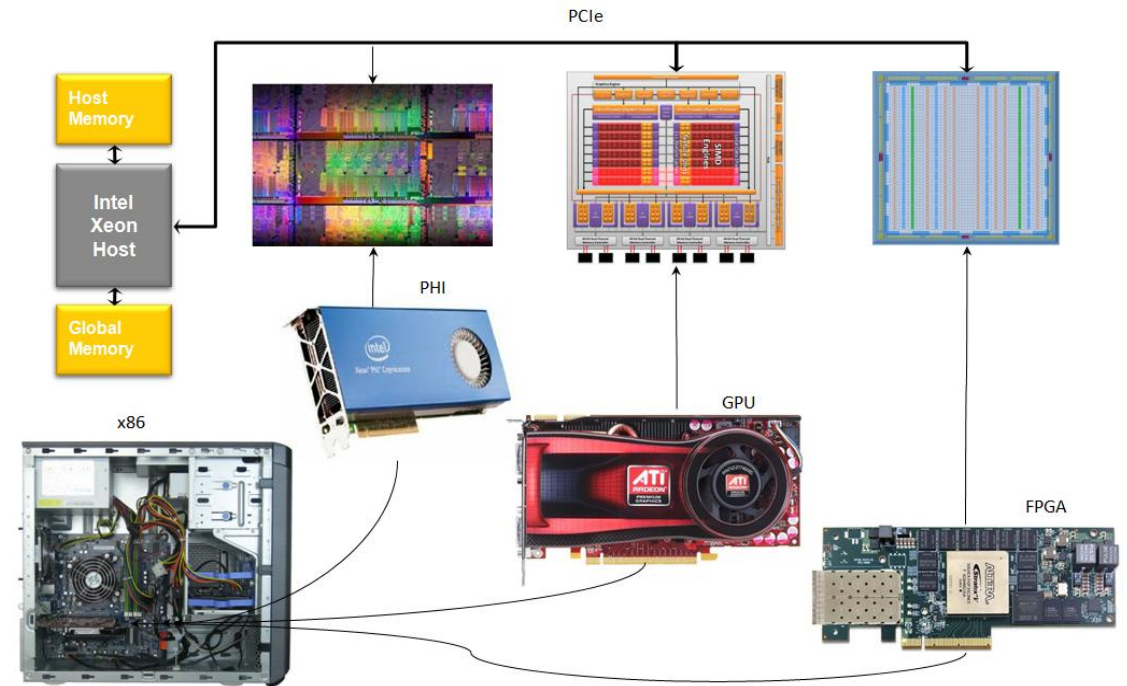
Вычислительноемкие задачи: Моделирование

Введение специализированных вычислительных ресурсов и разделение задач, например:

-Задачи управления вынести на CPU

-Вычисления проводить на GPU или FPGA

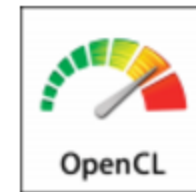
Можно ли поддержать различные типы ускорительной аппаратуры единым стандартом?



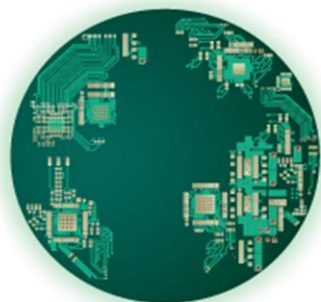
Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Стандарт OpenCL, консорциум Khronos:



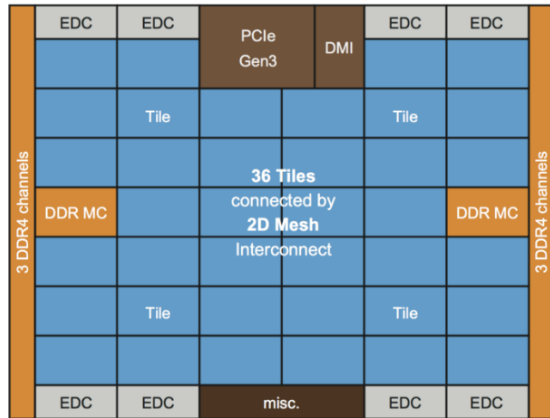
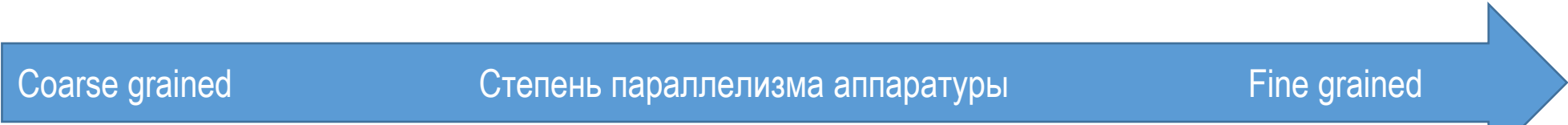
- Открытый стандарт для гетерогенных вычислительных платформ, консорциум Khronos Group, нет отчислений
- Стандарт определяет набор API для определения и координации параллельных вычислений
- Эксплисивный параллелизм, в основном, по данным (SIMD)
- Использует привычный синтаксис языка Си
- Позволяет сосредоточиться на самом алгоритме, а не на его аппаратной реализации
- Позволяет использовать различные типы ускорителей на хосте (CPU+GPU+FPGA)
- В отличие от специальных расширений (eg. Cuda, NVIDIA) обеспечивает кроссплатформенность



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

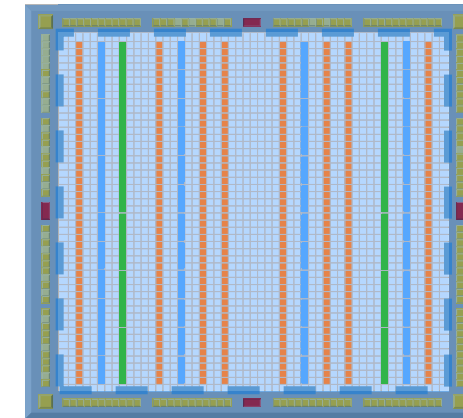
Различные типы аппаратуры под OpenCL: CPU, GPU, FPGA?



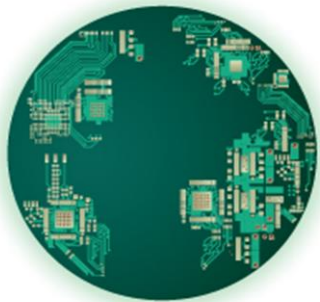
Intel Xeon Phi = 72 ядра



NVidia V100 = 84 процессора SM по 64 ядра CUDA = 5,376 ядер



IntelFPGA Arria10 = 1.150.000 Лог. Элем.

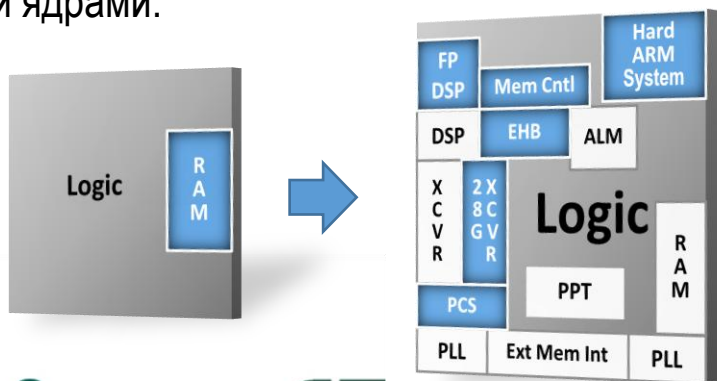
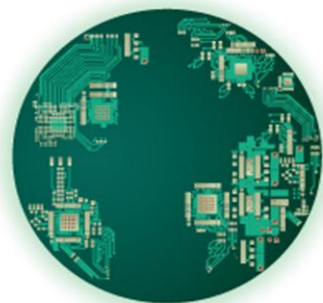


Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

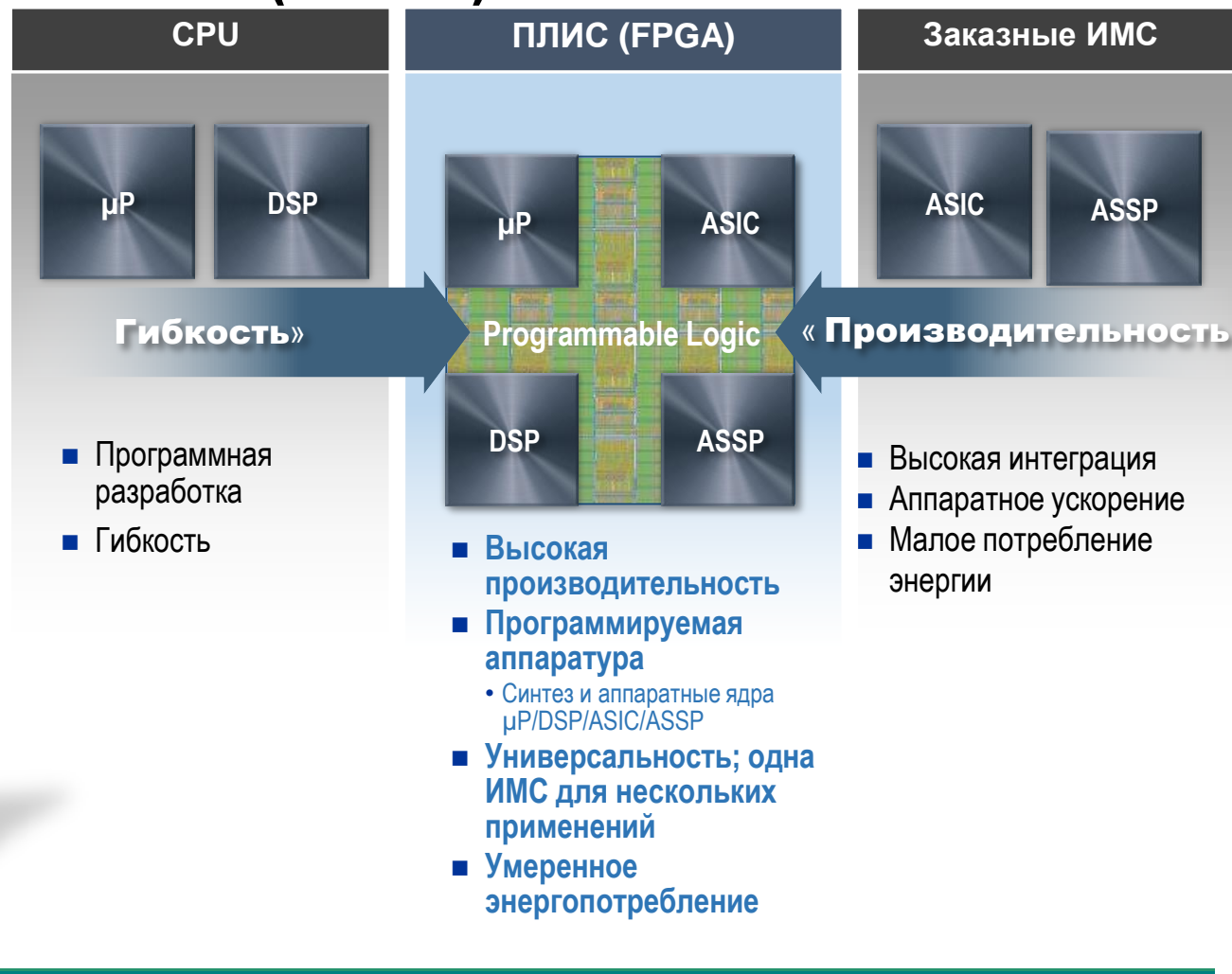
FPGA PARALLEL COMPUTING WITH OPENCL

Современная ПЛИС (FPGA):

ПЛИС - представляет собой реконфигурируемую массивно-параллельную структуру, с несколькими млн. логических элементов и десятками мегабит внутренней памяти, тысячами аппаратных блоков DSP (ЦОС), наличием трансиверных блоков для организации быстрых интерфейсов ввода-вывода или межсоединений (1GE, 10GE, 40GE, 100GE, PCIe, SerialRapid IO, SerialLite итд итп), и кроме того может содержать аппаратную процессорную систему с несколькими ядрами.

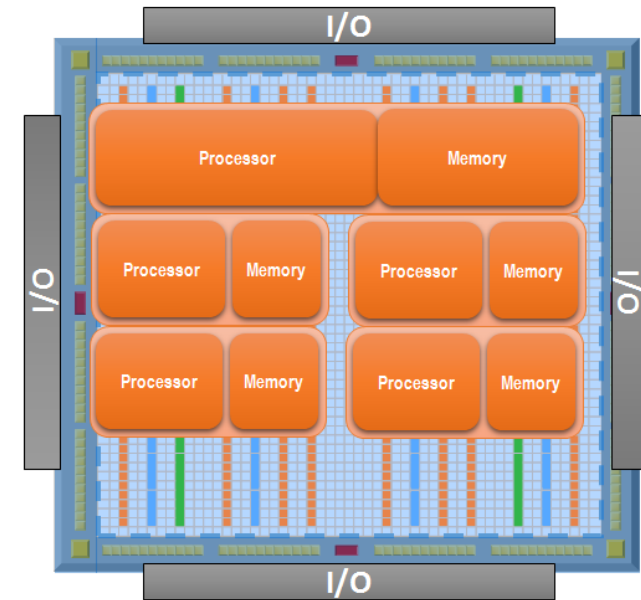
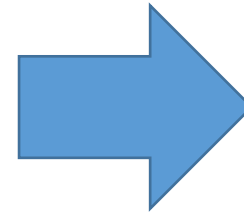
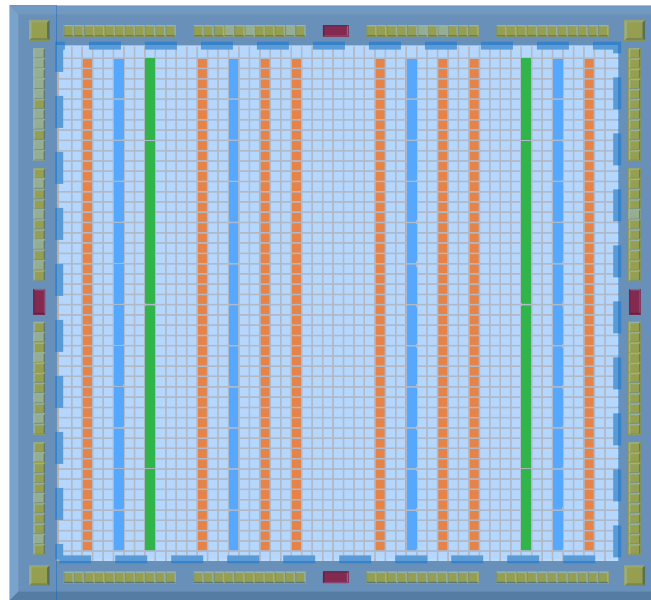


Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО



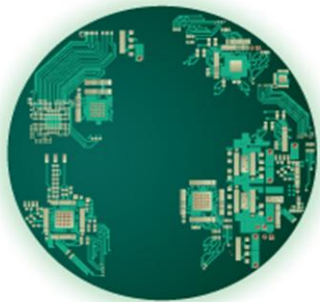
FPGA PARALLEL COMPUTING WITH OPENCL

FPGA: синтез системы на кристалле под конкретную задачу



Наличие синтезируемых и аппаратных ресурсов оптимизируемых под конкретную задачу:

- Выполнение задачи на пределе аппаратных возможностей
- Высокая производительность и низкое энергопотребление

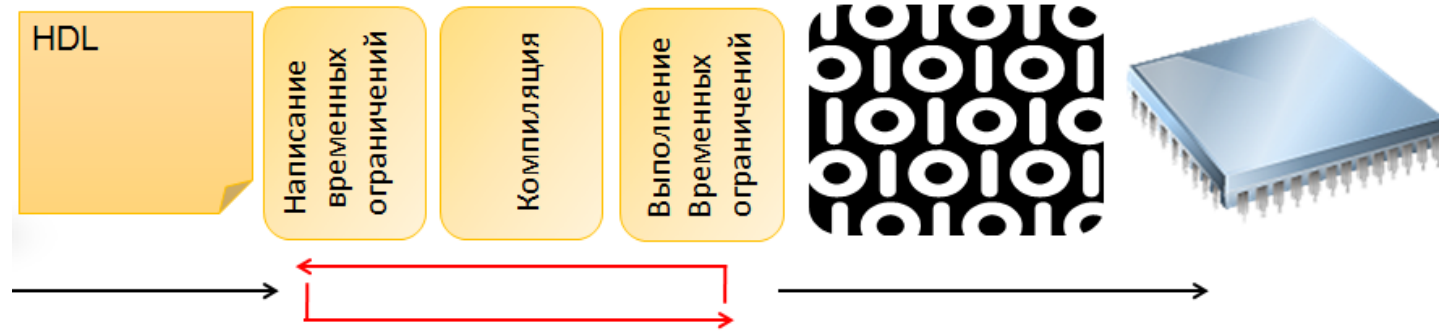


Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

+++ ПЛИС: Массивно-параллельная архитектура Fine-grained

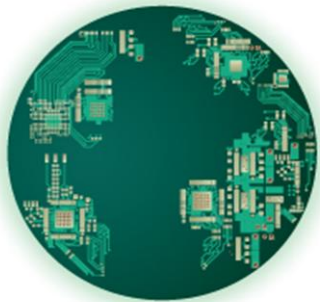
--- Сложная разработка аппаратуры и маршрут проектирования



- **Сложный маршрут проектирования аппаратуры**
 - VHDL/Verilog, интеграция IP ядер, Функциональное моделирование
- **Многочасовая компиляция проекта и верификация**
 - Синтез, Упаковка, Трассировка проекта, Выполнение временных ограничений проекта, Моделирование после трассировки
- **Непереносимость проекта на другие платформы CPU/GPU/DSP**

Специалисты:

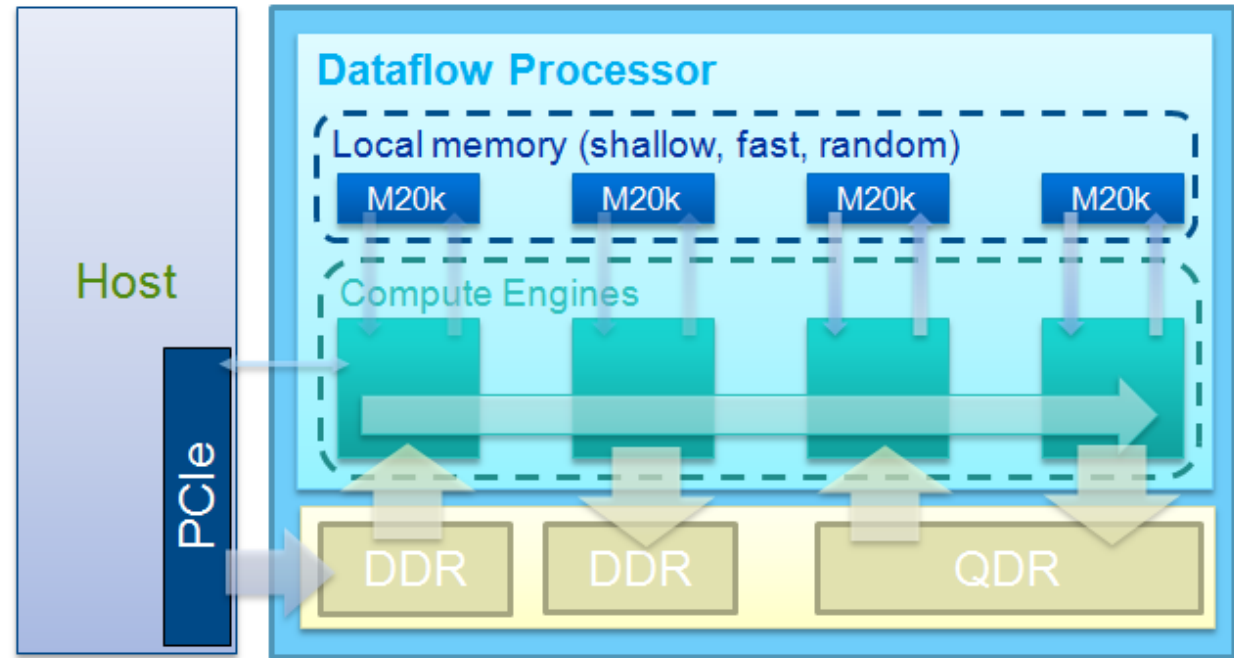
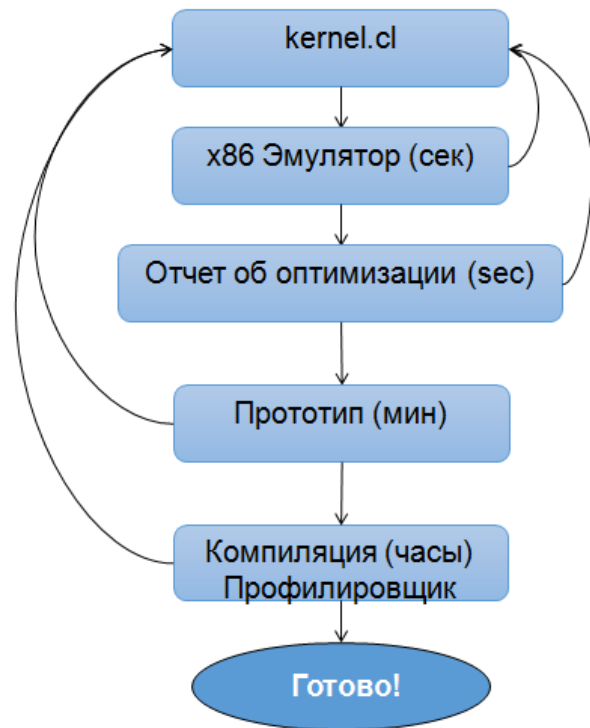
- Программирование HDL
- Верификация
- Планирование периферии
- Тактовые домены
- Назначение I/O
- Временные ограничения
- Трассировка
- I/O протоколы
- Пропускная способность
- Частичная реконфигурация
- Целостность сигналов
- DDR калибровка
- Расчет цепей питания
-



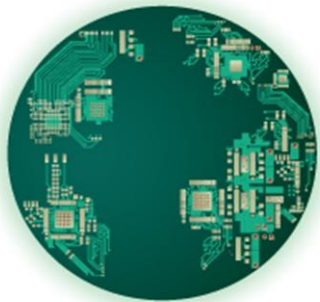
Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

OpenCL на ПЛИС с точки зрения разработчика ПО



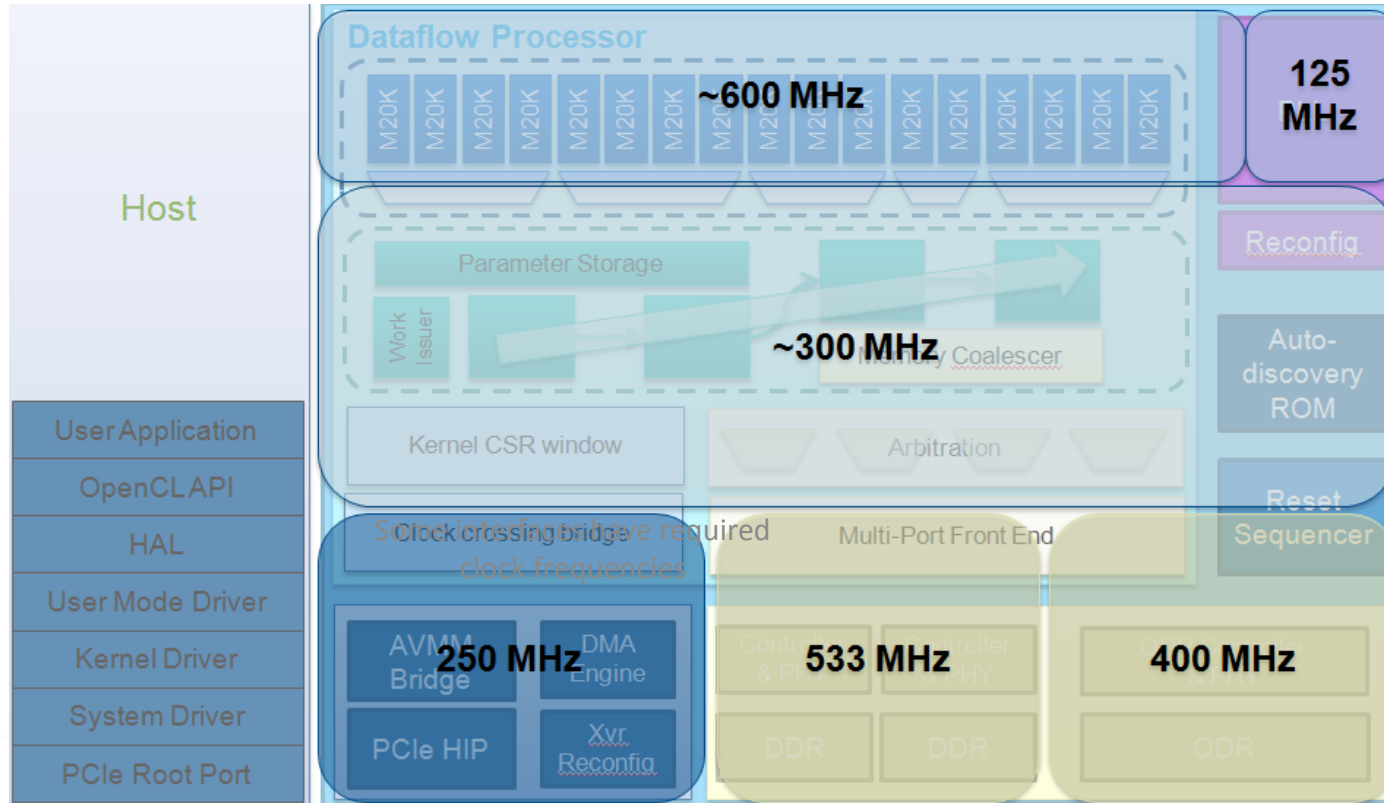
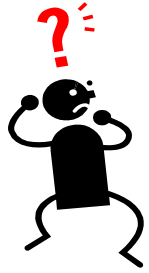
- Ускоритель содержит ядра для исполнения кернел-кода
- Передача данных через глобальную память при помощи библиотеки поддержки
- Глобальная память большого размера, с поддержкой пакетных передач
- Локальная память малого размера, быстрый произвольный доступ



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

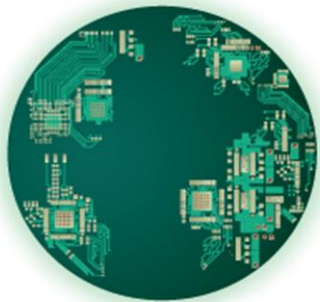
Реальная FPGA система-на-кристалле



Различные тактовые домены

PCIe	125-250 MHz
DDR3-1600	800 MHz
DDR4-2400	2400 MHz
QDR	450-1066 MHz
Kernel	??

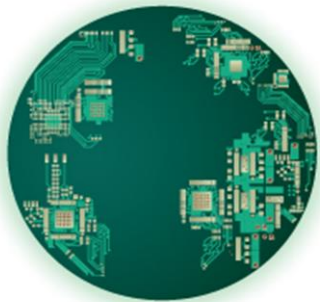
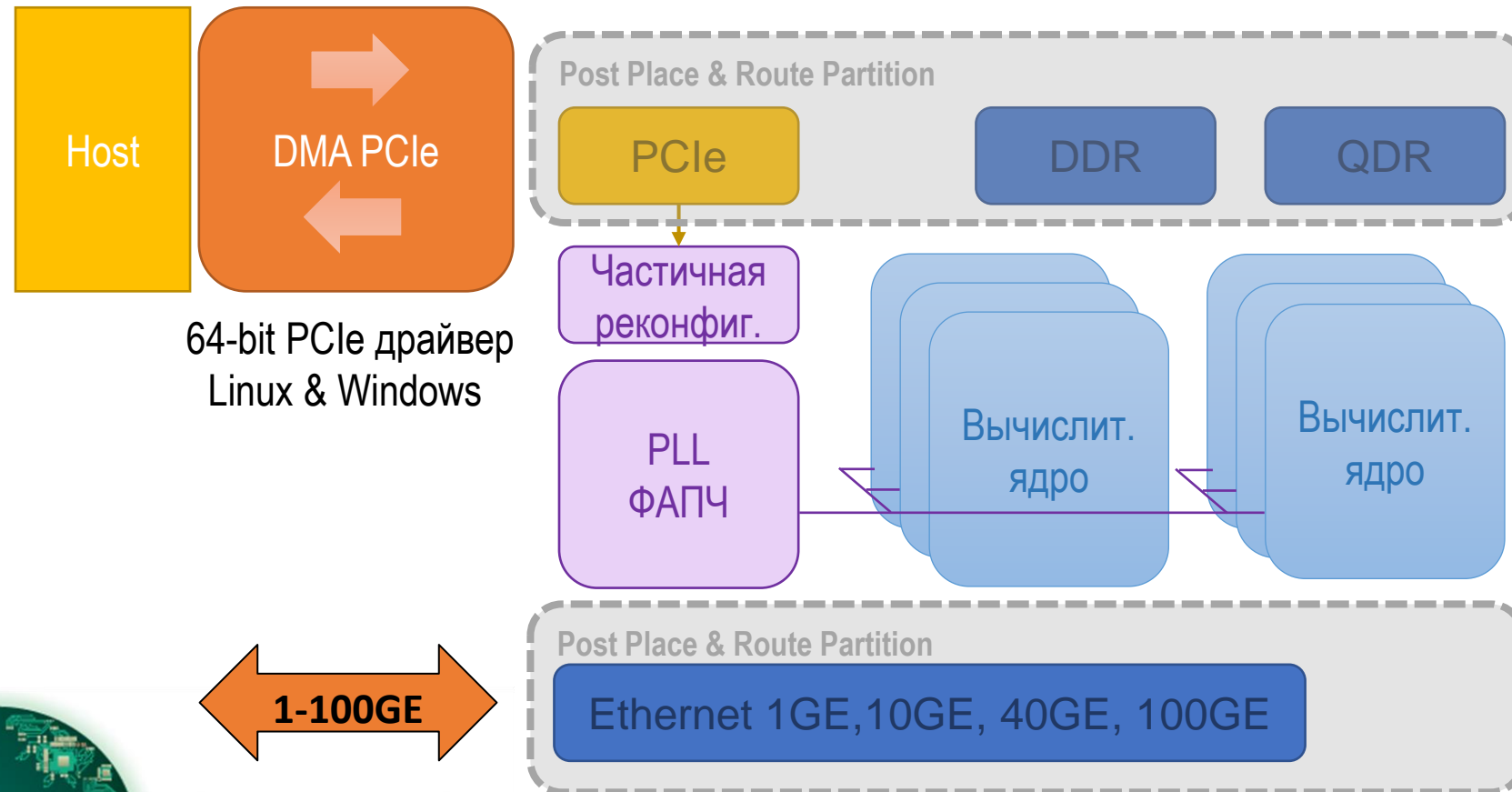
Контроллеры DDR/QDR
 Поддержка On-chip памяти, DSP
 Коммуникационные интерфейсы
 PCIe и драйвер PCIe



Алмаз-СП
 АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Ускоритель FPGA с BSP – гарантированный временной анализ



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

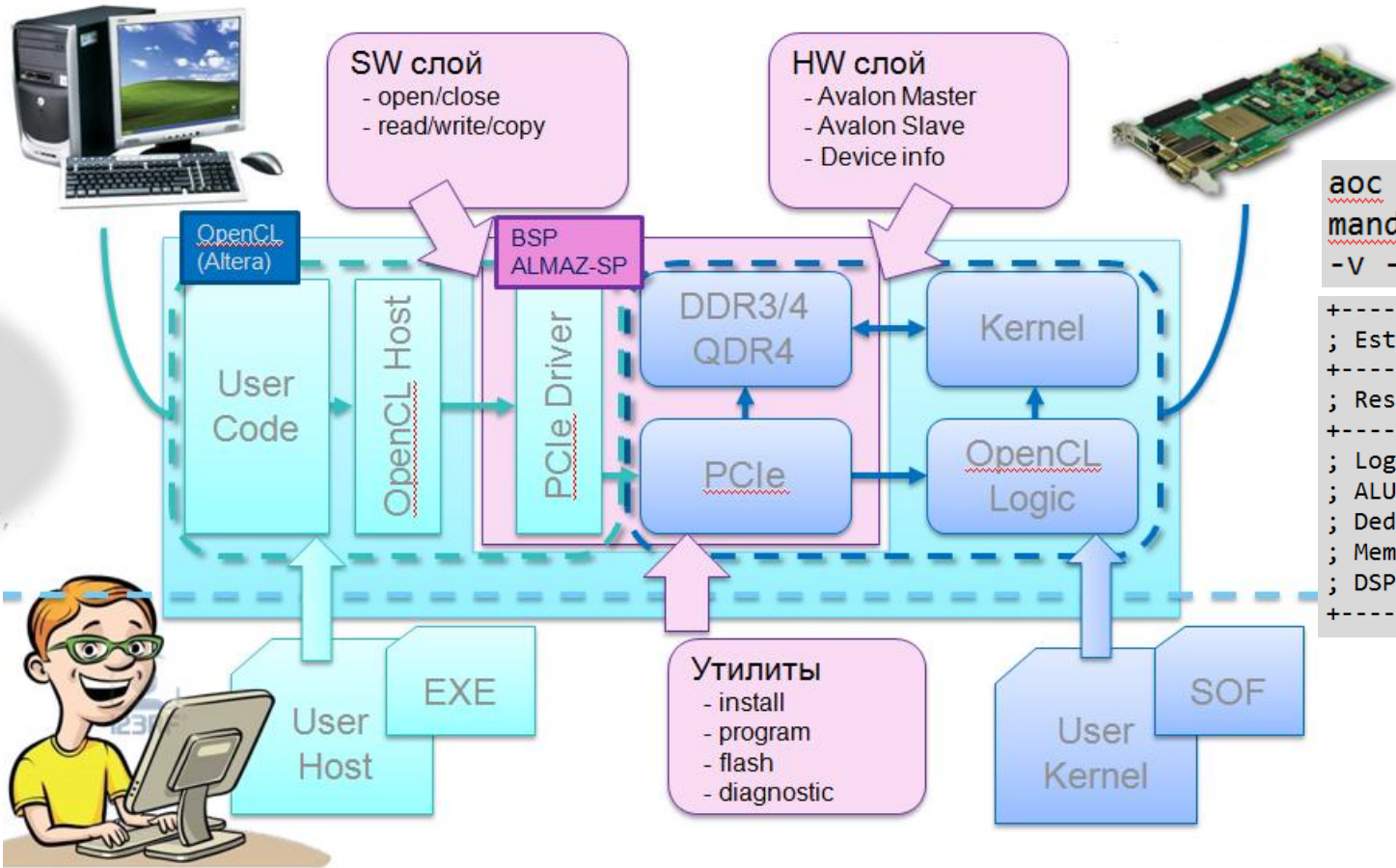
Ускоритель с OpenCL BSP – поддержка взгляда разработчика ПО

```

int i = get_global_id(0);
a[i] = a[i] + c;

void main() {
    EnqueueNDRangeKernel (... , &N,

```



```

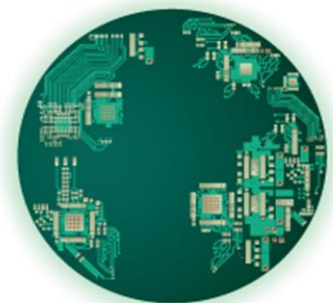
aoc mandelbrot_kernel.cl -o
mandelbrot_kernel.aocx --board thread
-v -v -report

```

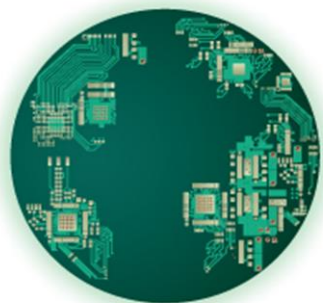
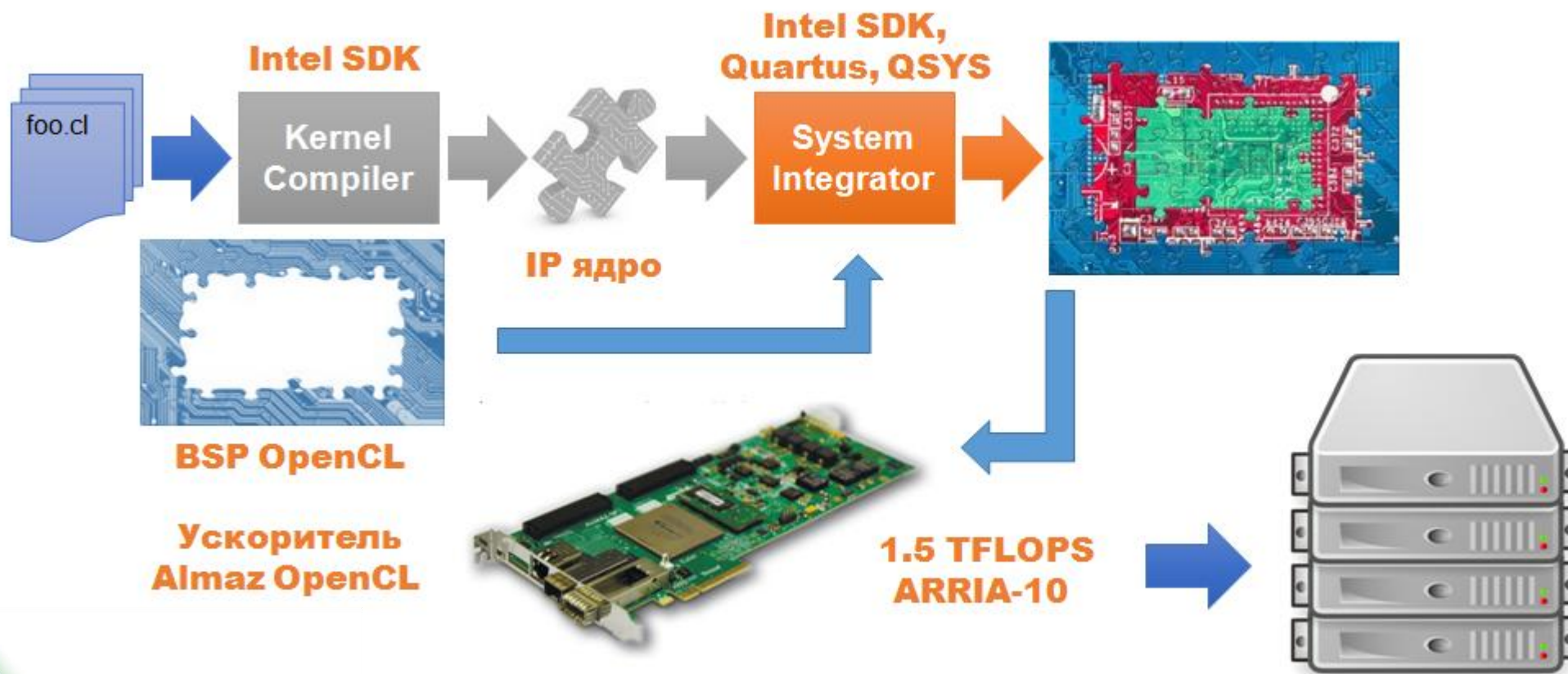
; Estimated Resource Usage Summary	
; Resource	+ Usage
; Logic utilization	; 49%
; ALUTs	; 26%
; Dedicated logic registers	; 25%
; Memory blocks	; 21%
; DSP blocks	; 16%



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО



Ингредиенты для реализации **Your Algorithm in Silicon:**



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

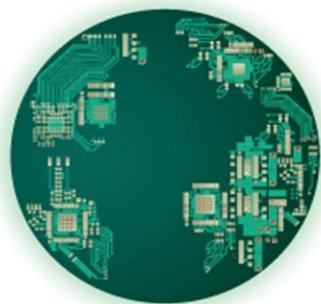
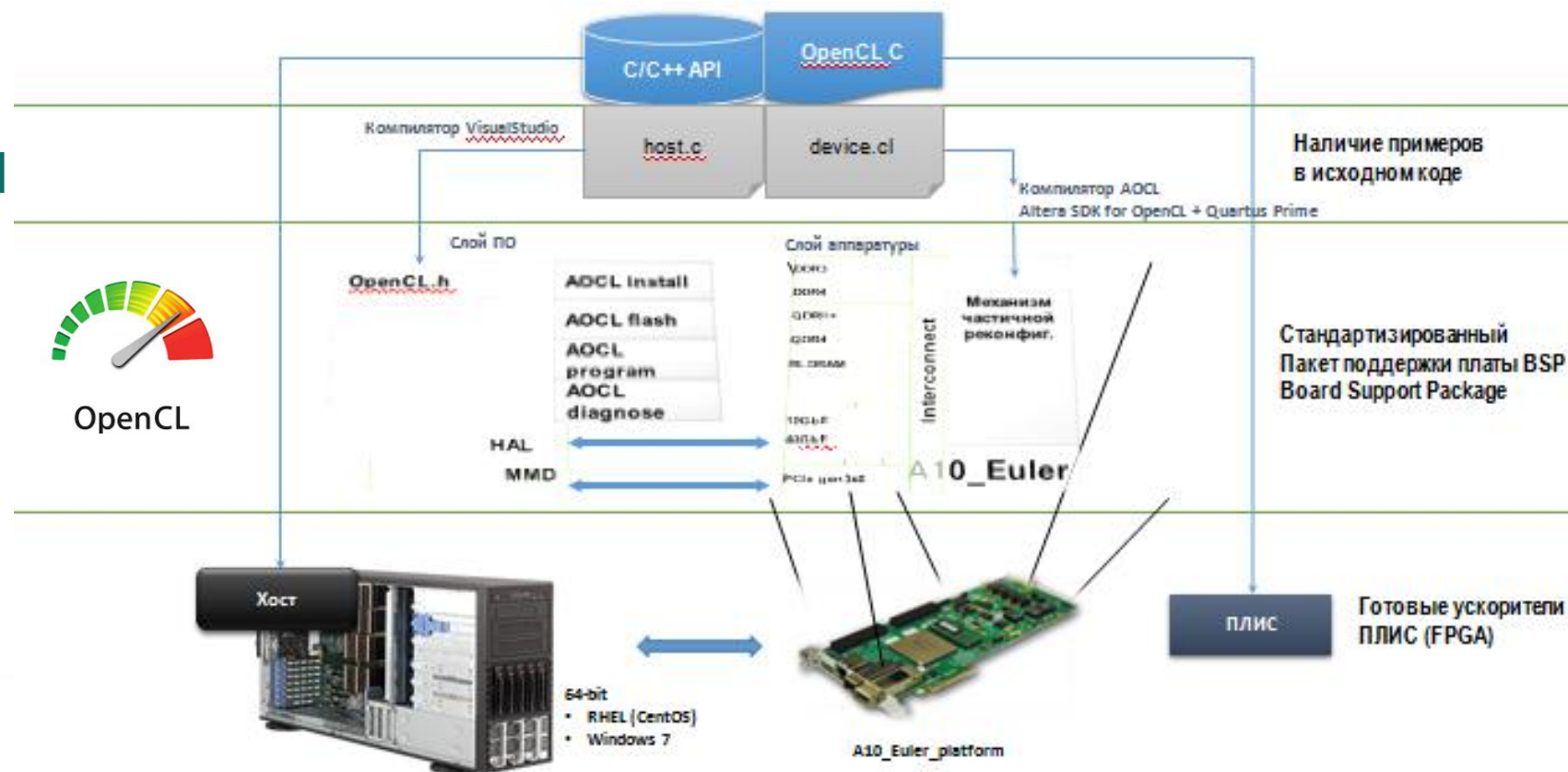
FPGA PARALLEL COMPUTING WITH OPENCL

Реконфигурируемая гетерогенная вычислительная система с FPGA

Примеры
Документация
Тренинги



Intel SDK
Пакеты BSP
Ускорители



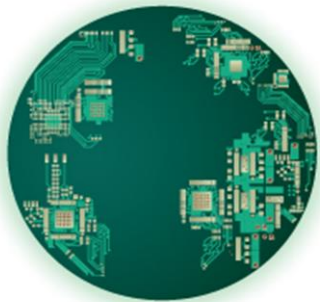
Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Особенности OpenCL на ПЛИС – типы глобальной памяти:

- Есть поддержка различных типов глобальной памяти на одном ускорителе
 - DDR3/DDR4
 - QDR2/QDR4 SRAM
 - RLDRAM
- Возможность определения буфера на конкретном типе глобальной памяти, через параметр-атрибут

```
__kernel void foo (  
    global int *x, // Default memory location (DDR)  
    global __attribute__((buffer_location("DDR"))) int *y,  
    global __attribute__((buffer_location("QDR"))) int *z,  
    global __attribute__((buffer_location("HMC"))) int *x
```

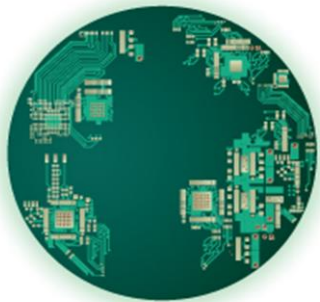
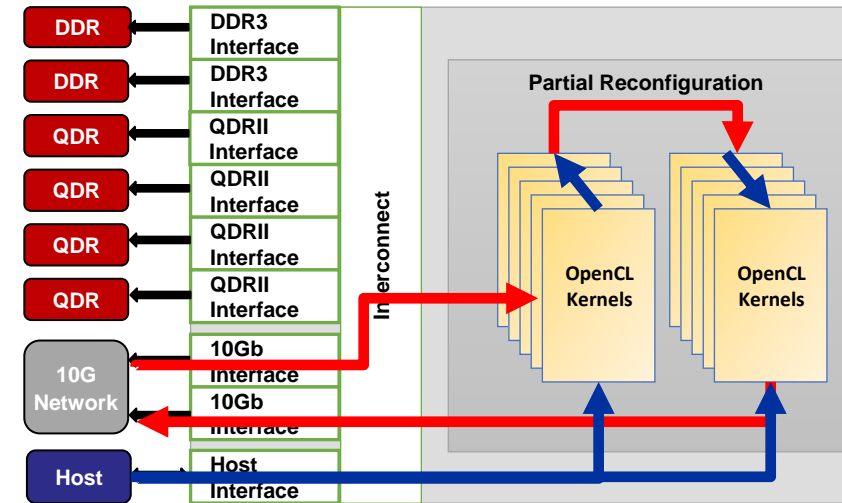
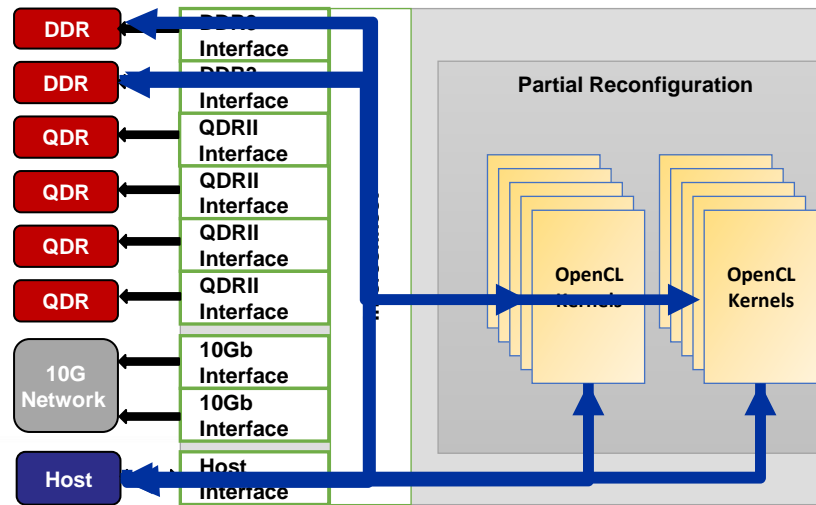


Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Особенности OpenCL на ПЛИС – потоковый доступ:

- Есть поддержка организации потокового доступа в ядро (**Channels**)
- Поддержка механизма **IO Pipe** – передача от ядра к ядру через внутреннюю память типа FIFO
- Обработка потокового видео, Высокочастотный трейдинг, DPI/DDOS, итд

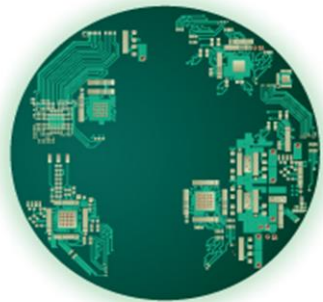
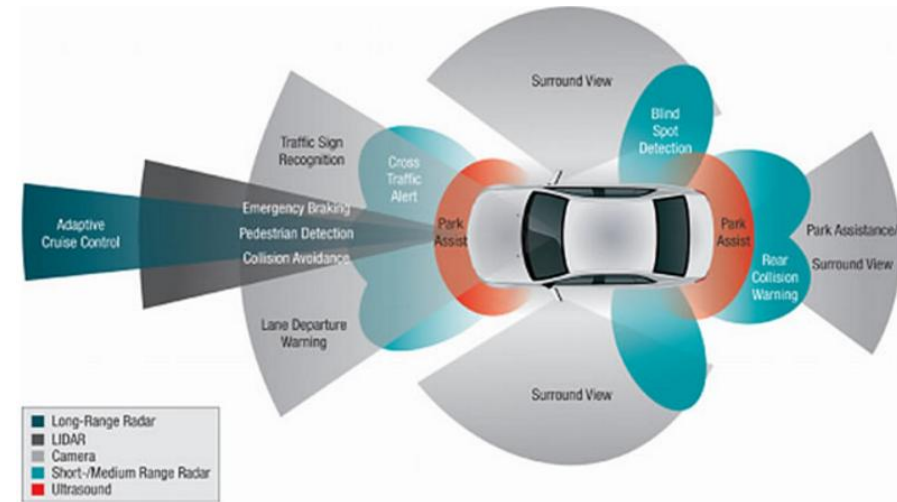
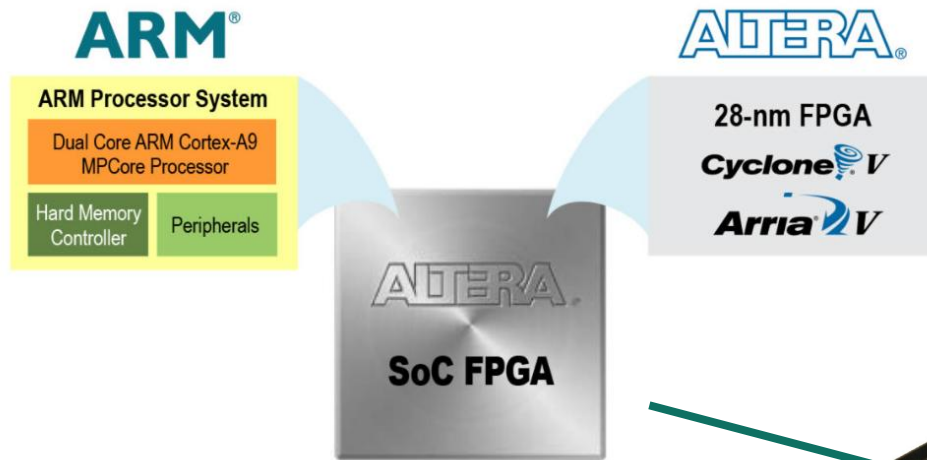


Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Особенности OpenCL на ПЛИС – встраиваемая платформа:

- Наличие платформы для встроенных систем
 - Однокристальное решение SOC (встроенная процессорная система на базе ARM Cortex)

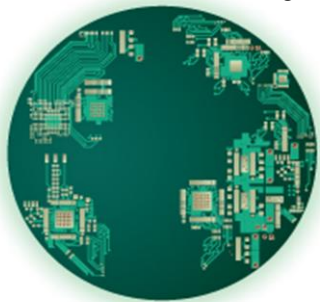


Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Выводы, проектирование ПЛИС IntelFPGA при помощи OpenCL:

- Доступная любому программисту Си абстракция, позволяющая использовать высокопроизводительную аппаратуру без изучения HDL и трудозатрат на сложный маршрута проектирования ПЛИС. Понимать аппаратуру нужно, но трудозатраты гораздо ниже.
- Открытый, стандарт без отчислений, поддерживаемый мощным консорциумом
- Доступность при обучении, можно задействовать ЦП (графическую карту) или эмулятор. Имеются готовые примеры, методические указания и программа обучения от начала работы с ускорителем до оптимизации программы для опытных пользователей.
- Получение вычислительно ядра (процессора) конкретно под саму функцию, чем достигается высокое быстродействие самое высокое соотношение производительность/ватт.
- Эффективный компилятор, эффективность уже близка к HDL. Кроссплатформенность кода.
- Наличие механизмов поддержки нескольких типов глобальной памяти, потокового доступа и конвейерной обработки
- Поддержка нескольких типов ускорителей (CPU, GPU, FPGA) на одном хосте
- Наличие встраиваемой платформы. Быстрая переносимость кода с стационарной платформы на встроенную.



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Наличие готовых аппаратных ускорительных платформ OpenCL

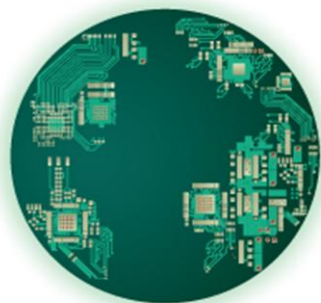
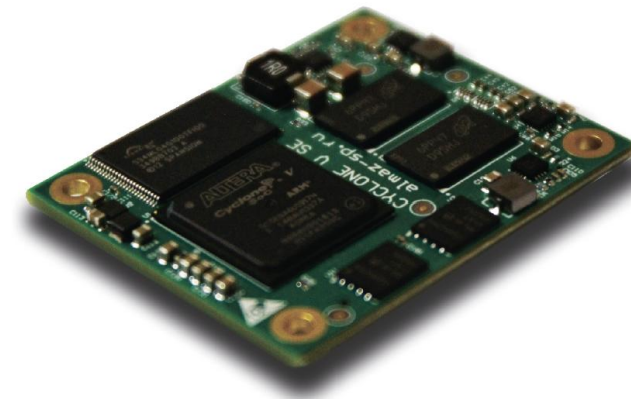
Платформа Euler Tread в форм-факторе PCIe

- До 1.5 TFLOPS вычислительной мощности на ускоритель
- 1.115 млн. логических элементов и 42Мбит кэш памяти (на ускоритель)
- 3300 блоков DSP с поддержкой FPU (IEEE754) (на ускоритель)
- Выбор памяти: **DDR3 /DDR4 (4ГБ+), QDR4 (144Мбит+), RLDRAM3**
- Интерфейсы Ethernet: 1GE, 10GE, 40GE (2x10 GE Line)
- Интерфейс с хостом: PCIe Gen 3.0 8 lanes
- Потребление (типичное) 30 Вт



Встроенная платформа Euler SOC в форм-факторе SOM модуля 54x44 мм

- DDR3-400MHz 256MB / 512MB / 1GB
- NAND FLASH 128MB / 256MB / 512MB + QSPI FLASH 8MB / 16MB / 32MB
- CPU: 800-MHz, dual-core ARM® Cortex™-A9 MPCore™ processor
- FPGA: LEs(K): 25 – 110, M10K memory (Kb): 1,400 - 5,140, DSP (18x19): 72 - 224



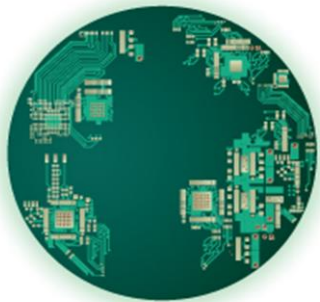
Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Наличие готовых аппаратных ускорительных платформ OpenCL

Новая платформа Euler Tread (Euler Line) в форм-факторе 1/2 PCIe

- До 1.5 TFLOPS вычислительной мощности на ускоритель
- 1.115 млн. логических элементов и 42Мбит кэш памяти (на ускоритель)
- 3300 блоков DSP с поддержкой FPU (IEE754) (на ускоритель)
- Выбор памяти: **DDR4 (16ГБ+), QDR4 (144Мбит+), RLDRAM3**
- Интерфейсы Ethernet: 1GE, **2x10GE**
- Интерфейс с хостом: PCIe Gen 3.0 8 lanes
- Потребление (типичное) 30 Вт



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

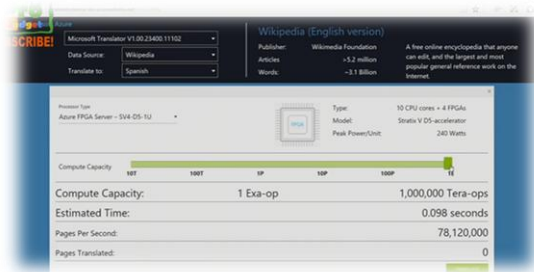
FPGA PARALLEL COMPUTING WITH OPENCL

Успешные мировые проекты: Microsoft - Ускорение сервисов Azure

Microsoft Goes All in for FPGAs to Build Out AI Cloud

Microsoft has revealed that Altera FPGAs have been installed across every Azure cloud server, creating what the company is calling "the world's first AI supercomputer." The deployment spans 15 countries and represents an aggregate performance of more than one exa-op. The announcement was made by Microsoft CEO Satya Nadella and engineer Doug Burger during the opening keynote at the Ignite Conference in Atlanta.

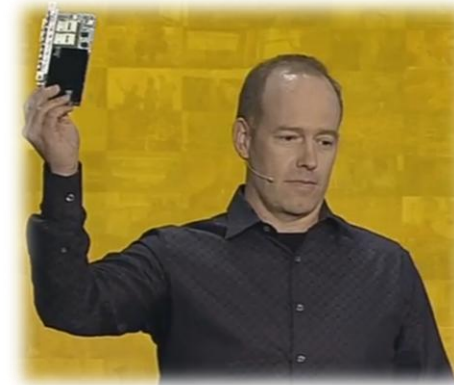
The FPGA build-out was the culmination of more than five years of work at Microsoft to find a way to accelerate machine learning and other throughput-demanding applications and services in its Azure cloud. The effort began in earnest in 2011, when the company launched Project Catapult, the R&D initiative to design an acceleration fabric for AI services and applications. The rationale was that CPU evolution, a la Moore's Law, was woefully inadequate in keeping up with the demands of these new hyperscale applications. Just as in traditional high performance computing, multicore CPUs weren't keeping up with demand.



<https://mediastream.microsoft.com/events/2016/1609/ignite/player/keynote-pm.html>

Демонстрация Azure на FPGA: смотрите видео с 54 мин

Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО



Catapult FPGA Accelerator

Altera Stratix V D5 FPGA with capacity 172k ALMs
x16 PCIe connection (visible along the bottom edge of the card)
4GB of DDR3 memory
2 QSFP connectors

- **2010:** Microsoft researchers meet with Bing executives to propose using FPGAs to accelerate Indexserve.
- **2011:** A team of Microsoft software engineers and researchers come together to address a huge processing problem: how to use customized, programmable integrated circuits to accelerate computationally expensive operations in Bing's Indexserve engine.
- **2012:** Large scale pilot of FPGA boards in each of 1,632 servers and wiring them with a custom secondary network.
- **2013:** Results of pilot demonstrated positive ROI, allowed latency improvements in ranking while cutting the number of required servers in half. Decision was made to go to production.
- **2014:** Publication of paper and decision to merge Bing design with Microsoft's converged SKU, adding to the v2 architecture that enables configurable clouds.
- **2015:** Ramp up to large-scale production in Bing and Azure.
- **2016:** "Configurable Cloud" architecture in nearly every new production server. Configurable Cloud paper published (Micro 2016, October)

FPGA PARALLEL COMPUTING WITH OPENCL

Партнерство с Selectel — первый и единственный IaaS-провайдер в России, предоставляющий бесплатный доступ к серверам с FPGA-ускорителем

Selectel

Услуги

Решения

О компании

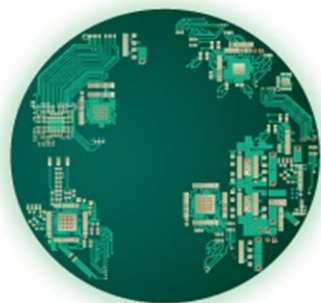
Ресурсы

FPGA

Тестирование выделенного сервера с FPGA-ускорителем.

Попробуйте работу своих приложений в режиме суперкомпьютера.

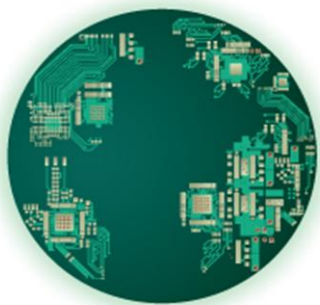
[Участвовать в тестировании](#)



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

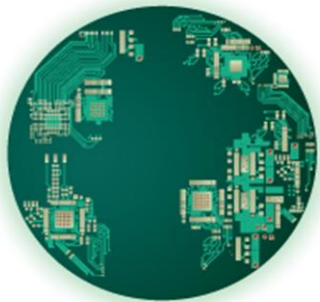
- **Вопросы**
- **Демонстрация примеров и платформ на стенде Алмаз-СП**
- **Семинар “Ускорение вычислений по стандарту OpenCL на ПЛИС”**
- **Запись на бесплатный тест-драйв**



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

Аппаратная модель OpenCL (ПЛИС):

- Гетерогенная вычислительная система: хост-ускоритель.
- Часть ускорителя масштабируема и может состоять из нескольких ПЛИС (на одной плате (или нескольких платах на хосте) и выполняется в различном конструктиве в зависимости от вычислительных задач (карта PCIe сервер 1U/2U).
- Роль хоста выполняет стандартный процессор x86, кроме того, возможен однокристальный вариант с процессором ARM, например, для целей встраиваемых систем.
- Взаимодействие со стороны хоста с ускорителем обеспечивается библиотекой поддержки времени выполнения задач вместе с драйвером шины PCIe.
- Взаимодействие со стороны стороны ускорителя обеспечивается пакетом поддержки платы (подготавливаемая конфигурация ПЛИС, вкл.: интерфейс PCIe, реализацию DMA-обменов, контроллеры глобальной памяти и сетевые интерфейсы (eg. 1/10/40GE).



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

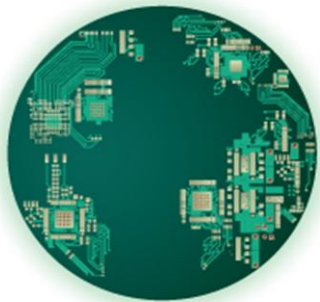
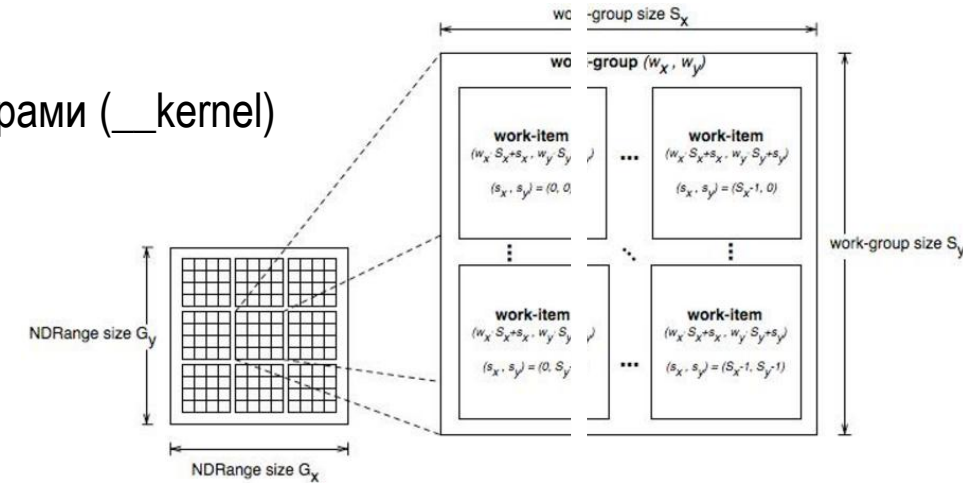
Модель программирования OpenCL (ПЛИС):

- Модель параллелизма по данным
- Части алгоритма, выполняющие параллельные операции, называют ядрами (`__kernel`)
- Ядра выполняются на синтезируемых рабочих модулях (`work-item`)

`__kernel`: некий эквивалент потока

`work-item` в один момент времени выполняет один `kernel`

- `Work-item`-ы объединены в `work-group` (локальная память)
- `Work-group` образуют пространство `ND-range` (N dimensional range)
- `ND-range` и загрузка ядер формируется хостом при помощи библиотеки поддержки и драйвера
- Для компиляции ядер используется специализированный компилятор
- Для компиляции хост-программы – VisualStudio или gcc компилятор
- Специализированная интерфейсная часть и поддержка типов памяти определена пакетом поддержки | латы



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL

Компиляция для ПЛИС:

Ядра компилируются оффлайн компилятором Intel (Altera OpenCL Kernel Compiler)

Требуется пакет поддержки конкретной платы под конкретный ускоритель (BSP)

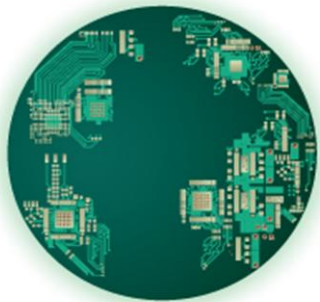
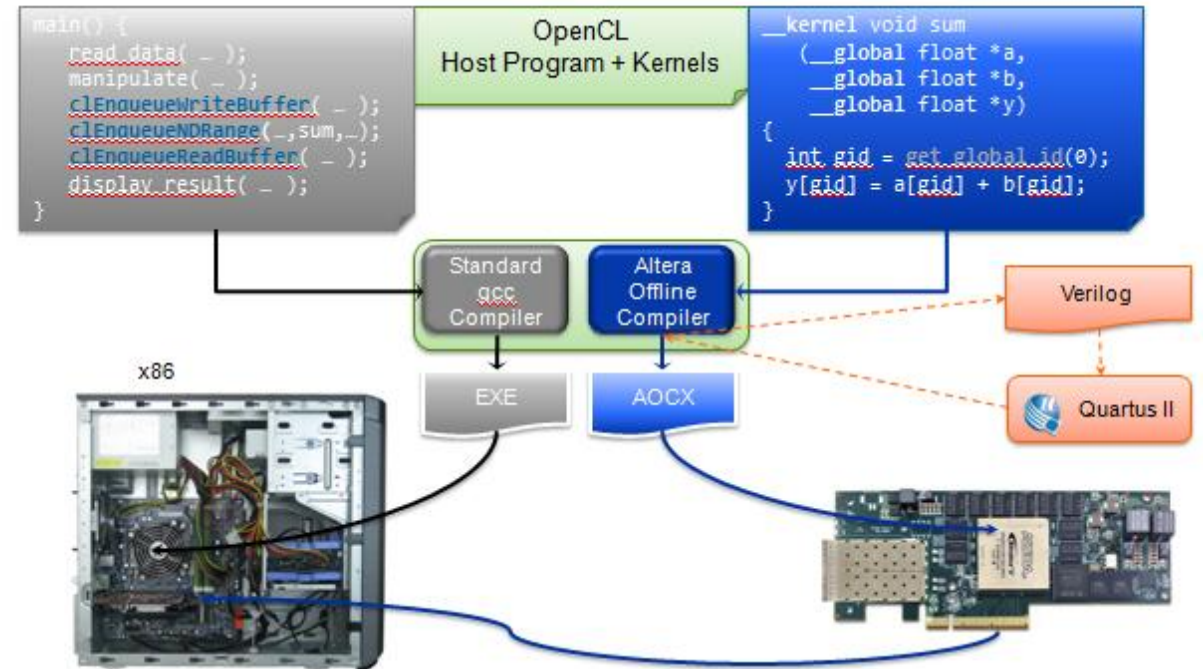
```
aoc -v --<board name> device/<kernel.cl>  
-o bin/<kernel.aocx>
```

Результат:

- Система на кристалле Qsys
- Verilog файл ядра
- Интерфейсы PCIe, памяти DDR/QDR
- **Исполняемый файл .aocx**

Возможно преобразование в промежуточный формат для целей ручной оптимизации/компиляции/загрузки

```
--board <board> <Kernel.cl>
```



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

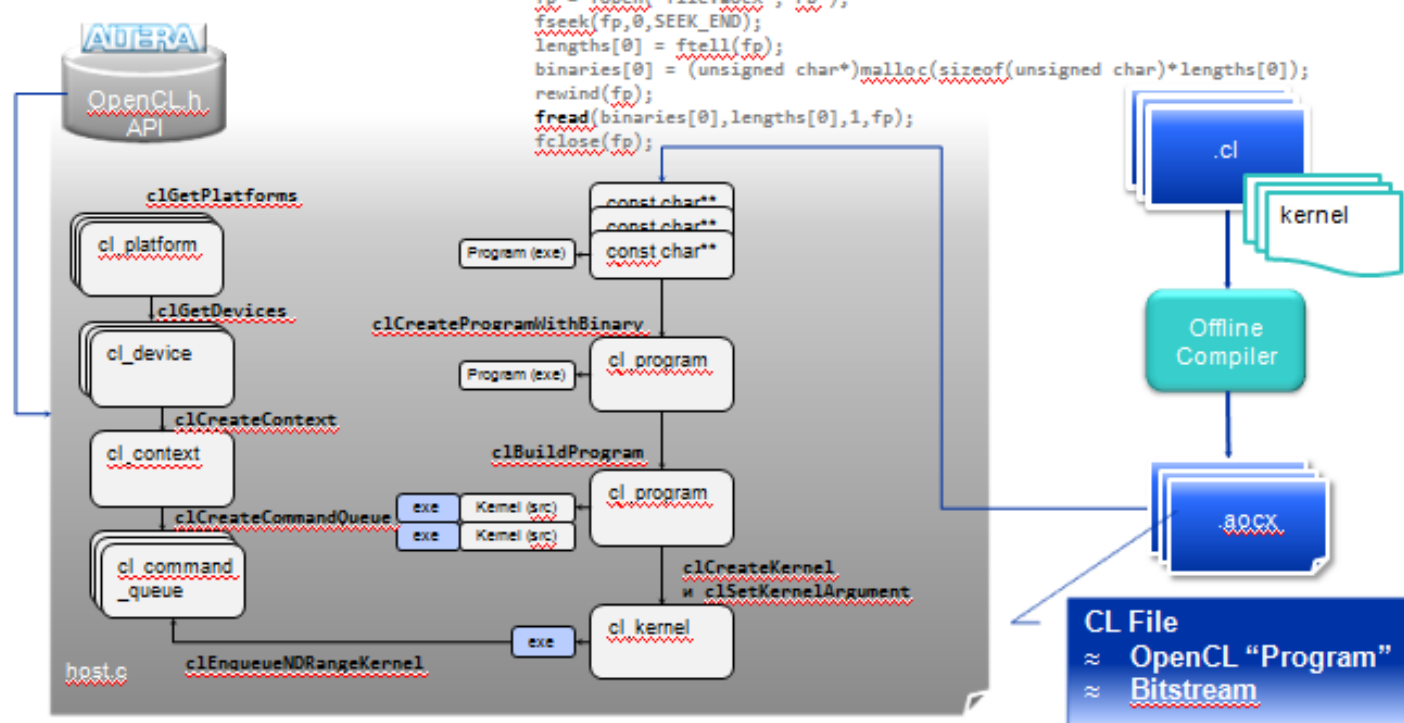
FPGA PARALLEL COMPUTING WITH OPENCL

Этапы настройки и запуска ядра на хосте:

- Поиск доступных платформ
- Создание контекста (структуры данных для выполнения операций)
- Создание программы из двоичного файла
- Сборка программы
- Создание очереди команд
- Создание буферов данных
- Заполнение буферов данных
- Передача буферов в ускоритель
- Настройка параметров ядра
- Запуск NDR массива ядер
- Считывание обработанных данных
- Освобождение объектов

*Процесс компиляции программ (далее)

OpenCL библиотека поддержки



Алмаз-СП
АКЦИОНЕРНОЕ ОБЩЕСТВО

FPGA PARALLEL COMPUTING WITH OPENCL



OpenCL, требования к аппаратуре и ПО:

- Хост-машина с мин. 32ГБ ОЗУ (лучше 64ГБ)
- **Ускоритель с пакетом поддержки платы (BSP – board support package)**
- 64-битная ОС, Windows or Linux (CentOS или RedHat)
- Установленный САПР Quartus® II Software 64-bit Subscription Edition
- Расширение Altera SDK for OpenCL (AOCL) – для компиляции ядер ускорителя
- Компилятор C (например, Microsoft® Visual Studio) - для компиляции программы хоста

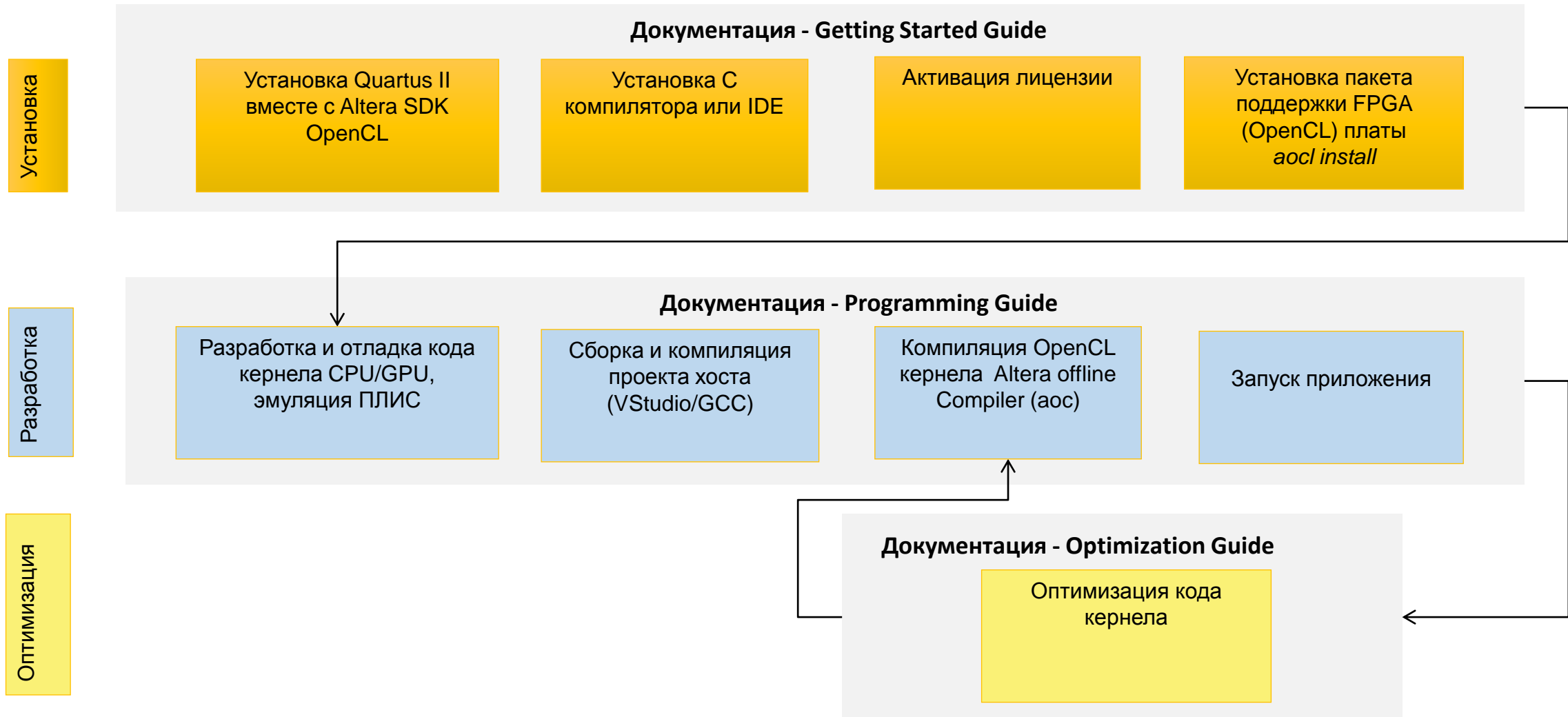
Для компиляции программы хоста используются библиотеки Altera

alteracl.lib – API OpenCL

alterahalpcie.lib – интерфейс PCI Express

Документация и маршрут разработки Altera SDK OpenCL

<https://www.altera.com/products/design-software/embedded-software-developers/opencl/developer-zone.html>





- ◀ High-performance 20 nm FPGA and SoC
- ◀ IEEE 754-compliant DSP Blocks
- ◀ Only 20 nm ARM-based SoC FPGA
- ◀ 3.6 Tbps Serial Bandwidth
- ◀ 2,666 Mbps DDR4 memory Interfaces
- ◀ 1.15M Logic Elements

Arria[®]10
FPGA ▪ SoC

2X

Core Performance

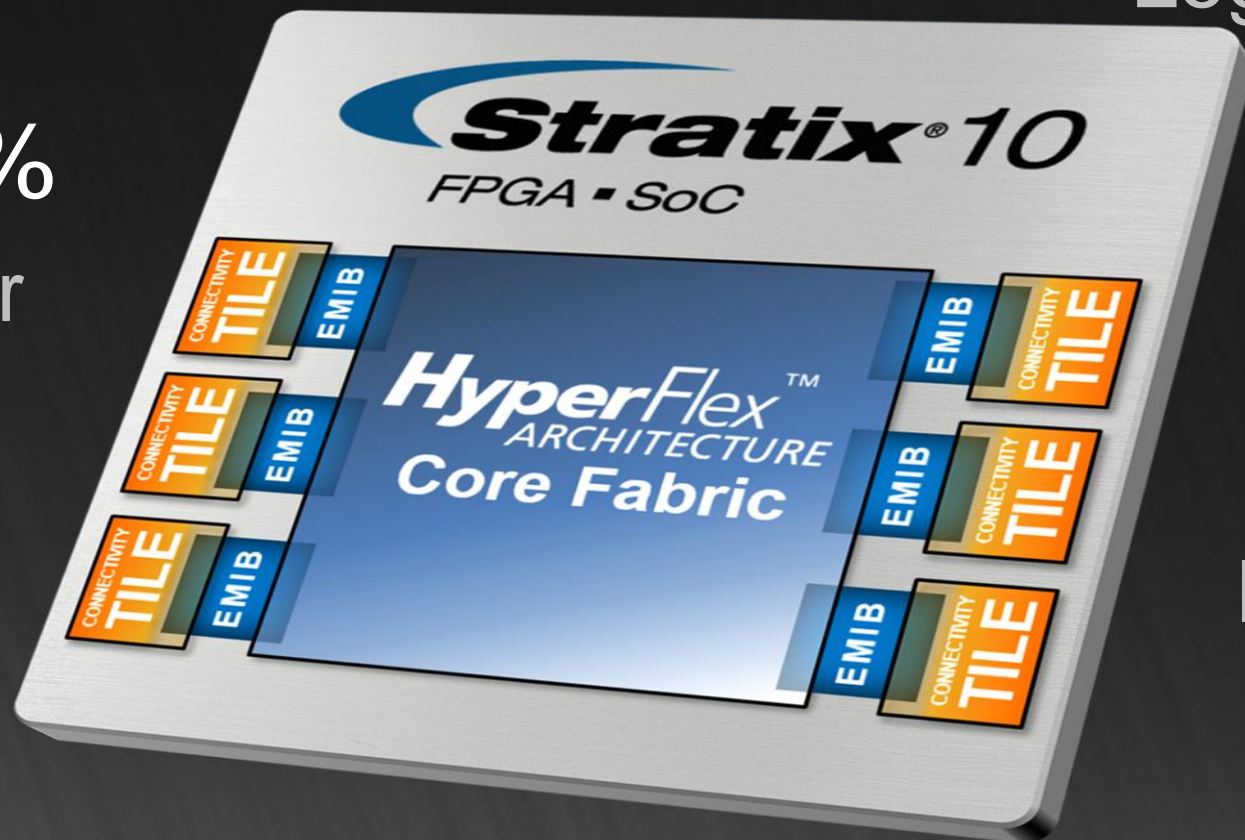
5.5M

Logic Elements

Up to **70%**
Lower Power

Up to **10**
TFLOPS

Most
Comprehensive
Security



Heterogeneous
3D SiP
Integration

Intel **14 nm**
Tri-Gate

Quad-Core
Cortex-A53
ARM Processor