

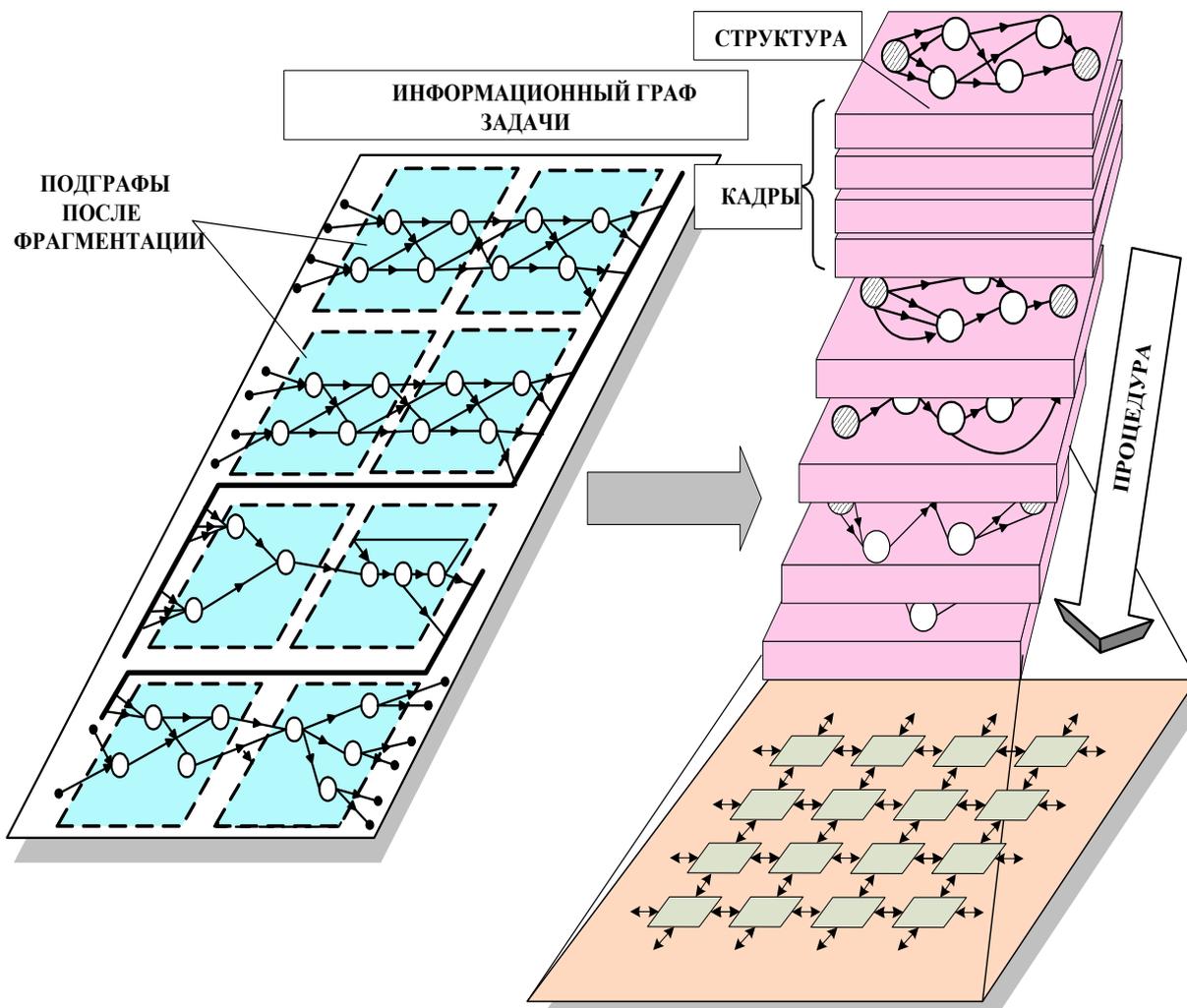
ПОСТРОЕНИЕ ПЕРСПЕКТИВНЫХ РЕКОНФИГУРИРУЕМЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ С ЖИДКОСТНЫМ ОХЛАЖДЕНИЕМ

Левин И.И., Дордопуло А.И., Федоров А.М., Доронченко Ю.И.



НИЦ супер-ЭВМ и нейрокомпьютеров, г. Таганрог

КОНЦЕПЦИЯ РВС - АДАПТАЦИЯ АРХИТЕКТУРЫ ВЫЧИСЛИТЕЛЬНОЙ СИСТЕМЫ ПОД ЗАДАЧУ



Аналоговые
вычислительные машины
(1950-1960)

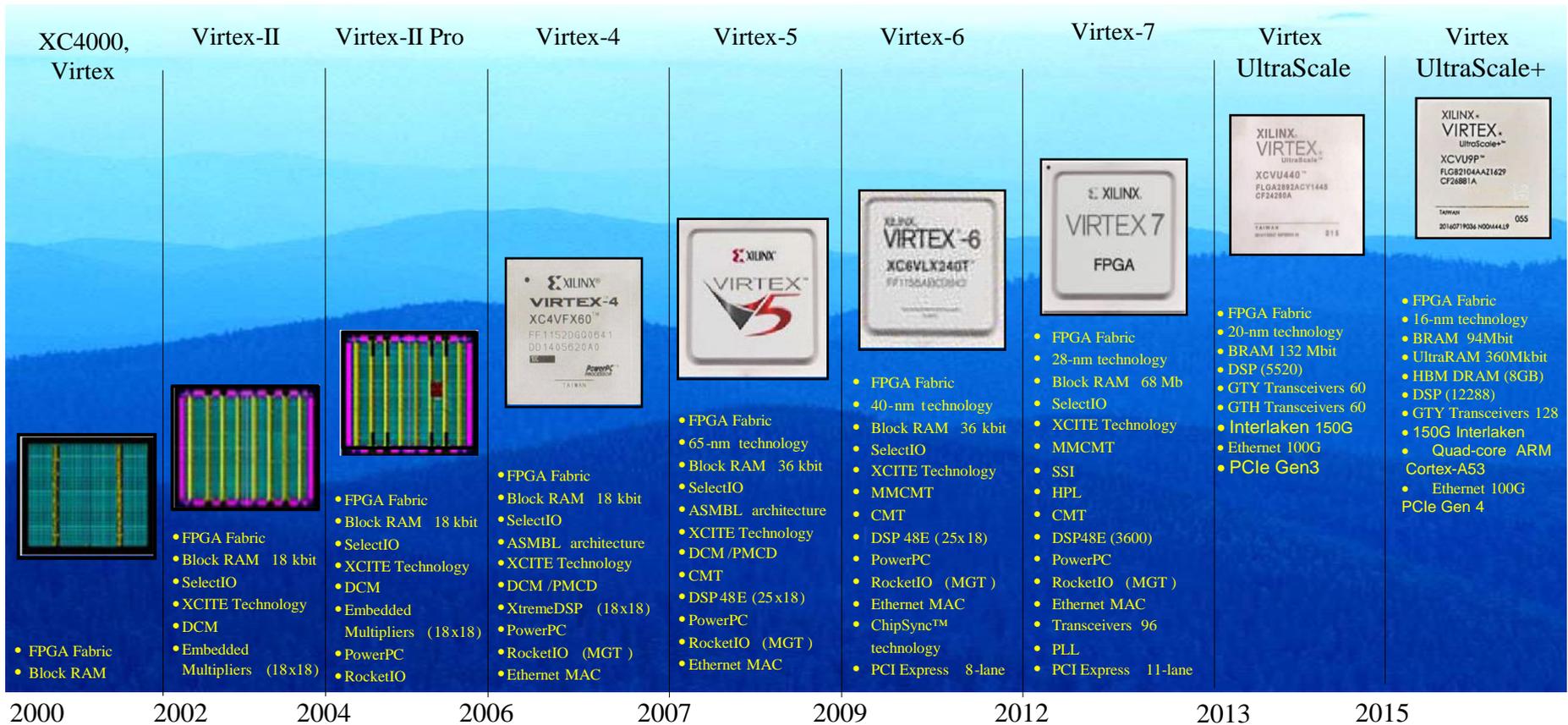
Цифровые
дифференциальные
анализаторы
(1960-1970)

Однородные
вычислительные среды
(1970-1980)

Многопроцессорные
вычислительные системы
с программируемой
архитектурой
(1980-2000)

Реконфигурируемые
вычислительные системы
на основе ПЛИС
(2000-2016)

ЭТАПЫ РАЗВИТИЯ ПЛИС

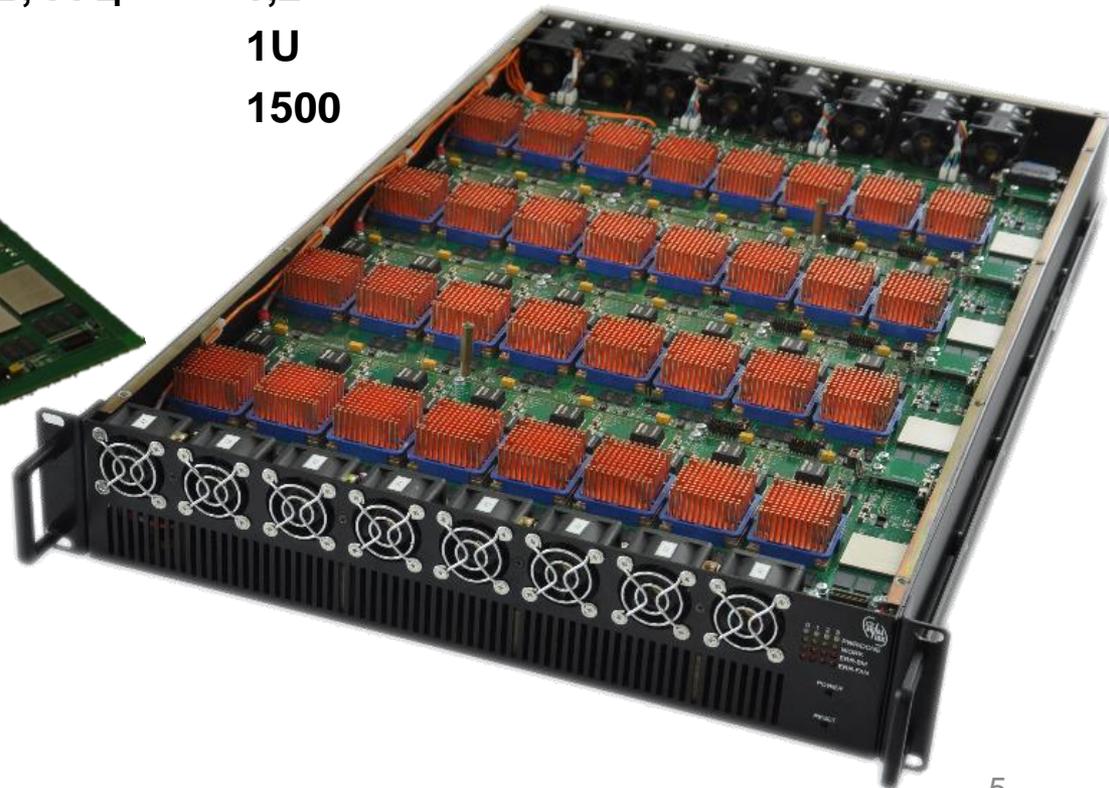
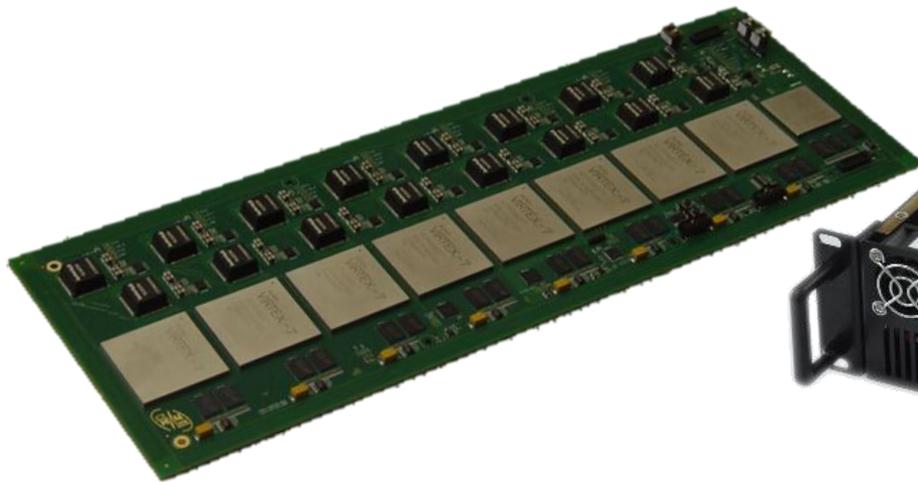


ОСНОВНЫЕ ПРОБЛЕМЫ СОВРЕМЕННЫХ КЛАСТЕРНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

- **низкая реальная производительность** – не более 5-10% от пиковой производительности системы, поэтому часто система всего лишь в несколько раз быстрее ПК;
- **низкая удельная производительность** (производительность в единице объема) – необходимы дополнительные стойки для охлаждения и коммутации;
- **низкая энергоэффективность** – большое количество дополнительных неэффективных расходов энергии на охлаждение, коммутацию и организацию вычислений;
- **ограниченность роста производительности**, зачастую при увеличении вычислительного ресурса системы производительность начинает снижаться.

РЕКОНФИГУРИРУЕМЫЙ БЛОК «ТАЙГЕТА» 2013 год

Число ПВМ , шт.	4
Число элементарных процессоров , шт.	4800
Производительность, Гфлопс	2400(1200)
Частота платы, МГц	400
Частота информационных обменов, ГГц	1,2
Высота модуля	1U
Потребляемая мощность, Вт	1500



ВЫЧИСЛИТЕЛЬНАЯ СТОЙКА «ТАЙГЕТА» 2014 год

Стойка содержит 16-20
вычислительных блоков
Производительность 10^{15} оп/с



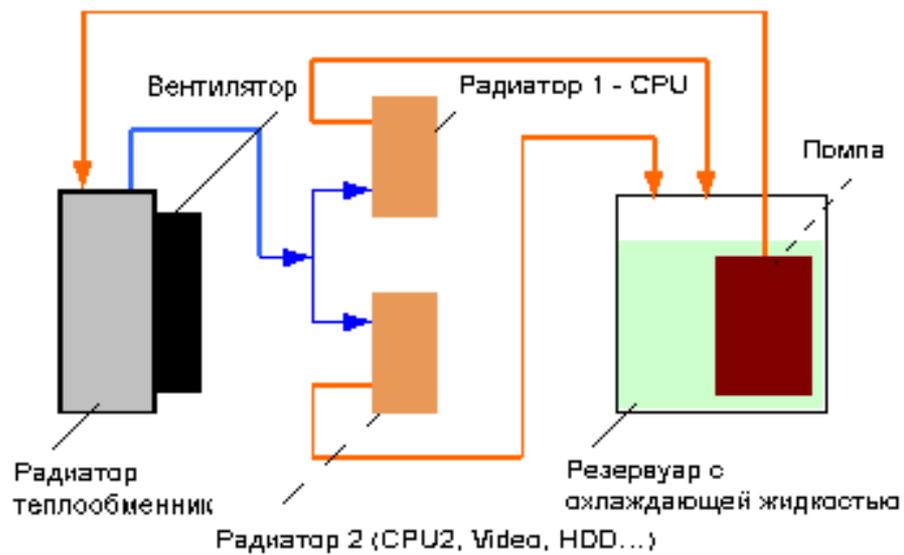
КРИЗИС СИСТЕМ ВОЗДУШНОГО ОХЛАЖДЕНИЯ

Вычислительный модуль	Элементная база	Максимальный перегрев ПЛИС, °С	Максимальная температура ПЛИС при 25°С, °С	Количество узлов обработки, частота	Потребляемая мощность, Вт
Ригель-2, 2013г.	Virtex-6 XC6VLX240T-1FFG1759C	33,1	58,1	3520, 250МГц	1255
Тайгета, 2013 г.	Virtex-7 XC7VX485T-1FFG1761C	47,9	72,9	8320, 250МГц	1661
ВМ на основе Virtex UltraScale, 2016г.	Virtex US XCVU095-1FFVB2104C	60	85	17220, 400 МГц	3200

Допустимая температура работы ПЛИС составляет 65...70°С.

Для ВМ на основе Virtex UltraScale, даже при температуре охлаждающего воздуха в вычислительном шкафу в 15°С, рабочая температура составит 75°С

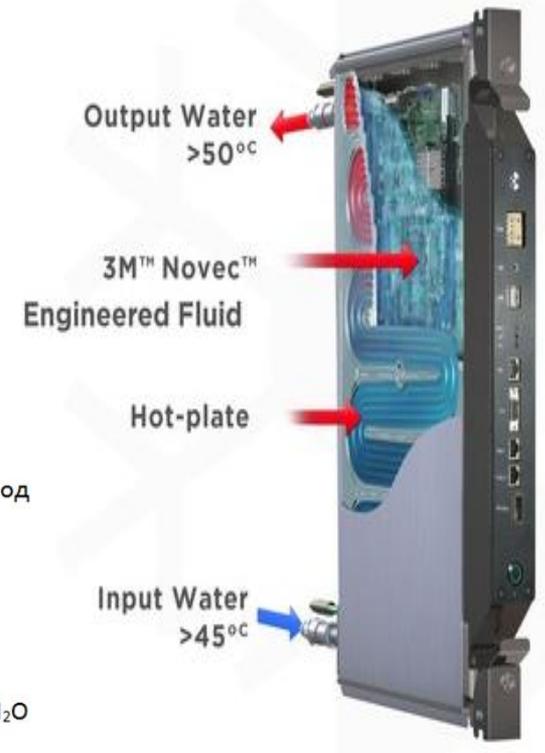
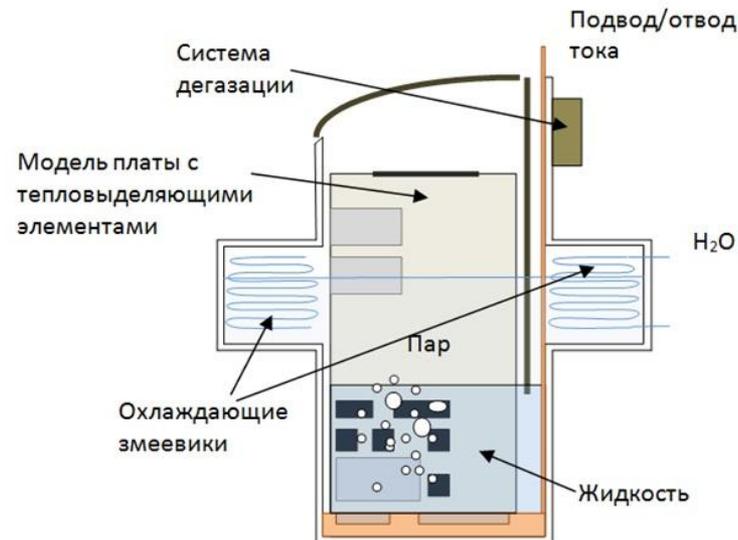
ЗАКРЫТАЯ СИСТЕМА ЖИДКОСТНОГО ОХЛАЖДЕНИЯ



КОНКУРИРУЮЩИЕ ВЫЧИСЛИТЕЛЬНЫЕ СИСТЕМЫ С НЕПОСРЕДСТВЕННЫМ ЖИДКОСТНЫМ ОХЛАЖДЕНИЕМ, ПРЕДСТАВЛЕННЫЕ НА РЫНКЕ

Iceotope:

- сложное конструктивное исполнение;
- высокая цена;
- низкое КПД охлаждения в связи с необходимостью использования насосов большой мощности;
- использование материнских плат только одного форм-фактора;
- полные технические описания сняты с открытого доступа.



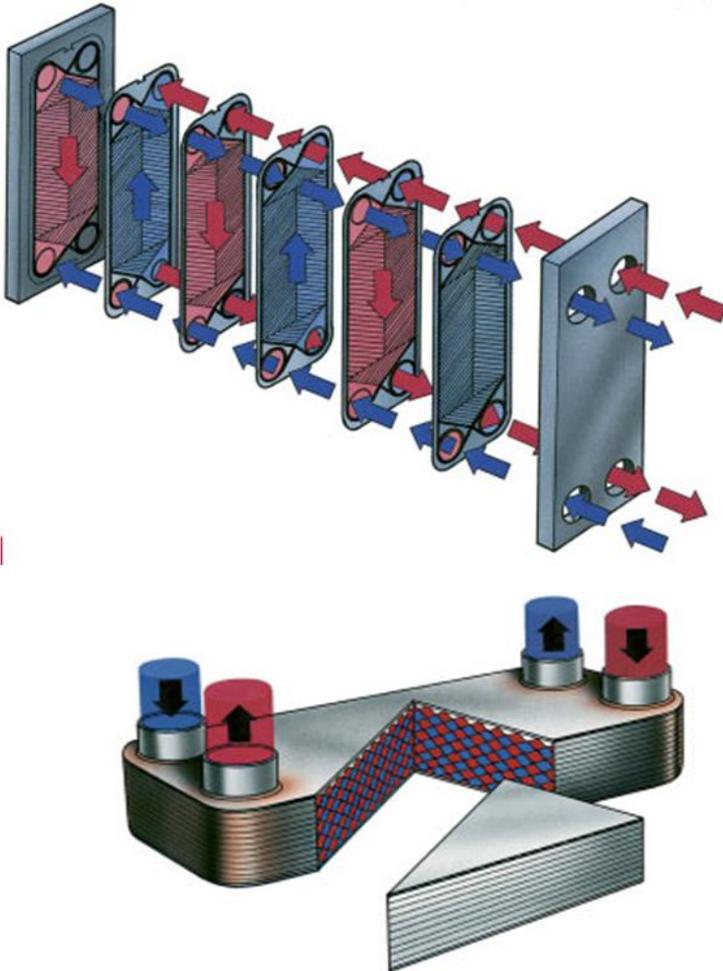
ВЫБОР ЭФФЕКТИВНОЙ ОХЛАЖДАЮЩЕЙ ЖИДКОСТИ

Основные характеристики хладагента - масла маловязкого, диэлектрика, МД-4,5 для охлаждения электронных компонентов ЭВМ в соответствии с техническими условиями ТУ 38.401-58-421-2015:

Плотность при 20°C	866 кг/м ³
Кинематическая вязкость при 20°C	3,33 сСт
Теплопроводность при 20°C	0,111 Вт/(м·К)
Теплоемкость при 20°C	1,666кДж/(кг·К)
Коэффициент объемного расширения	0,0006 1/С°
Температура вспышки в закрытом тигле	не ниже 135°C
Электрическая прочность	не менее 280 МВ/м
Удельное электрическое сопротивление при 20°C	2,2×10 ¹² Ом
Удельное объемное электрическое сопротивление при 90°C	5·10 ¹² Ом·см
Тангенс угла диэлектрических потерь при 90°C	0,0667%
Предприятие-изготовитель	ЗАО «НПЦ Спецнефтьпродукт»
Стоимость за 1 кг	15\$

ВЫБОР ТЕПЛООБМЕННИКА

Преимущества пластинчатых теплообменников:

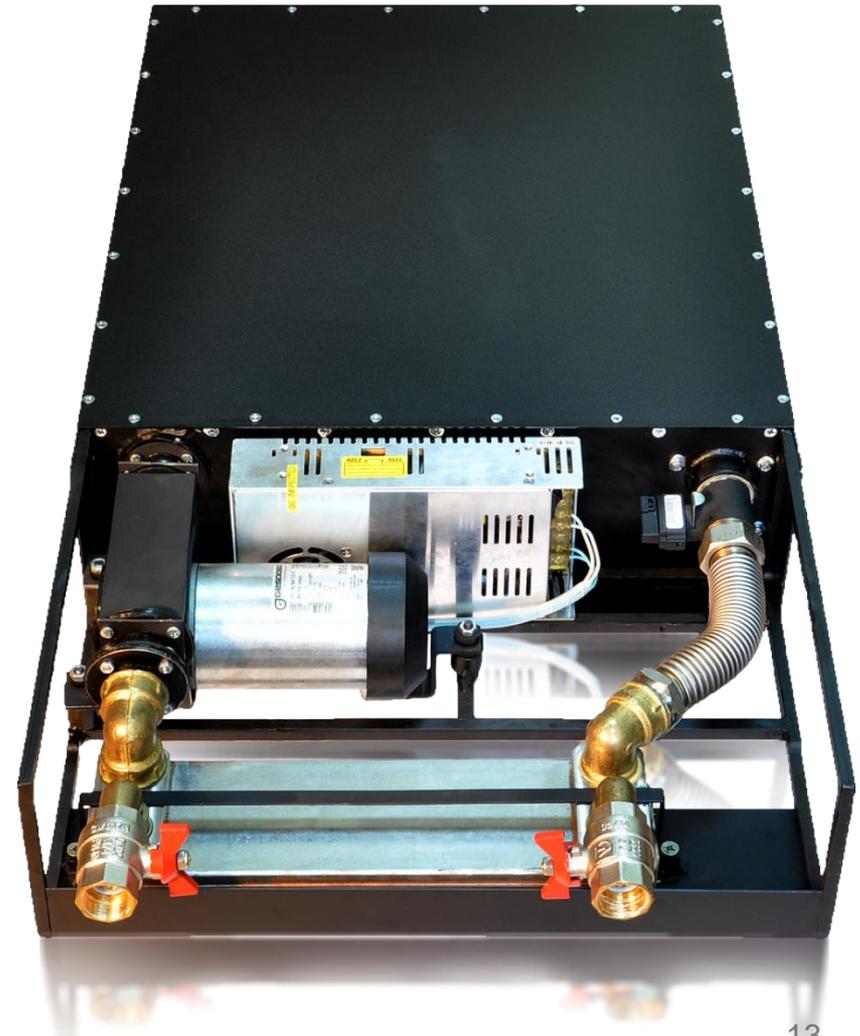


- компактность конструкции;
- оптимальная теплопередача за счёт теплопередающих пластин из тонкого металла;
- высокая турбулентность течения (эффективный теплообмен);
- простота применения;
- варьируемая термическая длина (оптимизация потери напора и эффективности теплообмена).

ПЛАТА ВЫЧИСЛИТЕЛЬНОГО МОДУЛЯ «СКАТ 7+» 2015 год



ВЫЧИСЛИТЕЛЬНЫЙ БЛОК С ЖИДКОСТНЫМ ОХЛАЖДЕНИЕМ «СКАТ» 2015 год



РЕЗУЛЬТАТЫ ИССЛЕДОВАНИЙ

Условия проведения замера	T _{хл} , °C	T _{FPGA0} , °C	T _{FPGA1} , °C	T _{FPGAср} , C	ΔT _{ср} , °C	P, Вт
ПЛИС на базе KINTEX USc, без нагрузки	18,6	24,9	24,5	24,7	6,1	32
ПЛИС на базе VIRTEX USc, без нагрузки	18,6	25,8	25,0	24,4	5,8	32
ПЛИС на базе KINTEX USc, 400 МГц, 448 вычислительных конвейера на одну ПЛИС	19,3	50,6	50,0	50,3	31,0	157
ПЛИС на базе VIRTEX USc, 400 МГц, 448 вычислительных конвейера на одну ПЛИС	19,3	53,6	51,6	52,6	33,3	165
ПЛИС на базе KINTEX USc, 400 МГц, 472 вычислительных конвейера на одну ПЛИС	20,1	55,0	54,4	54,7	34,6	177
ПЛИС на базе VIRTEX USc, 400 МГц, 472 вычислительных конвейера на одну ПЛИС	20,1	57,5	55,3	56,4	36,3	182

T_{хл} – температура хладагента, поступающего в радиатор, °C;

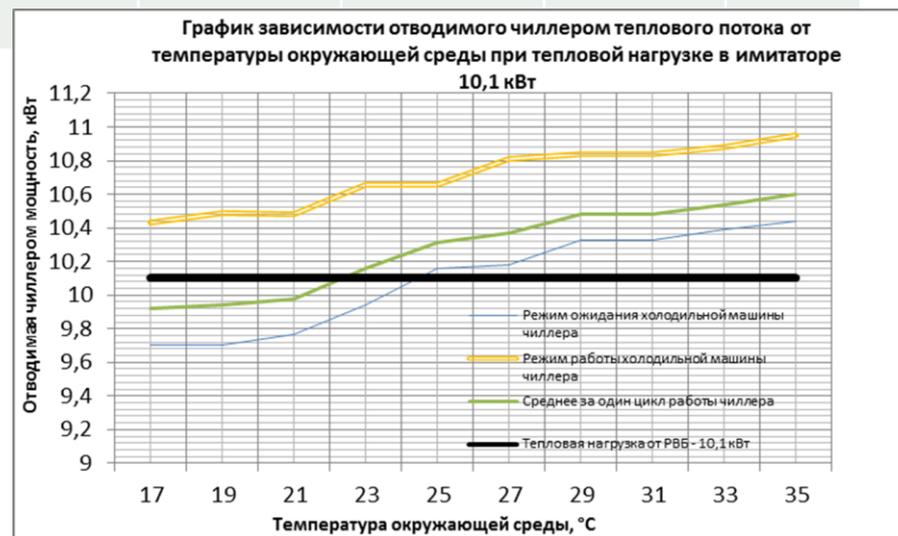
T_{FPGA0} – температура кристалла ПЛИС FPGA0, °C;

T_{FPGA1} – температура кристалла ПЛИС FPGA1, °C;

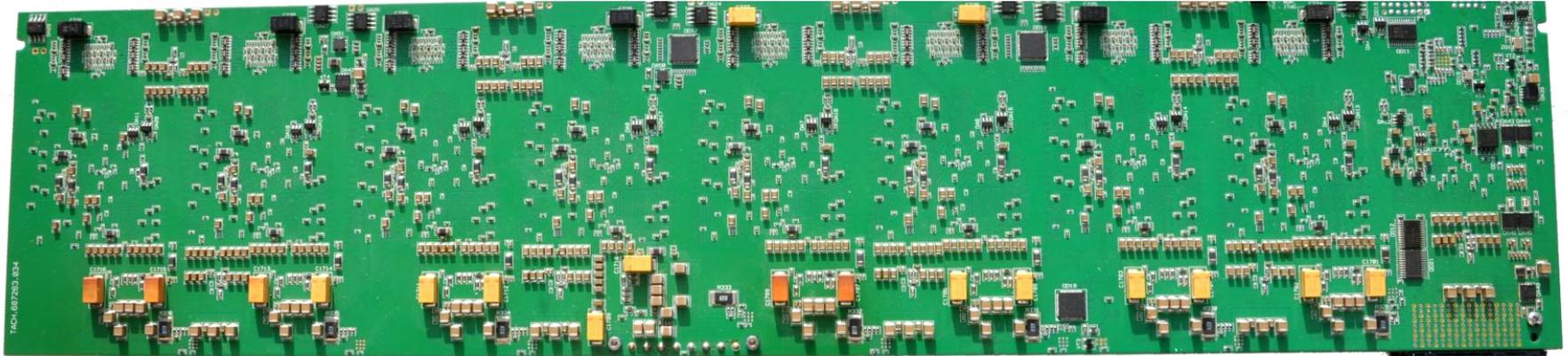
T_{FPGAср} – средняя температура FPGA, °C;

ΔT_{ср} – разность между T_{FPGAср} и T_{хл}, °C;

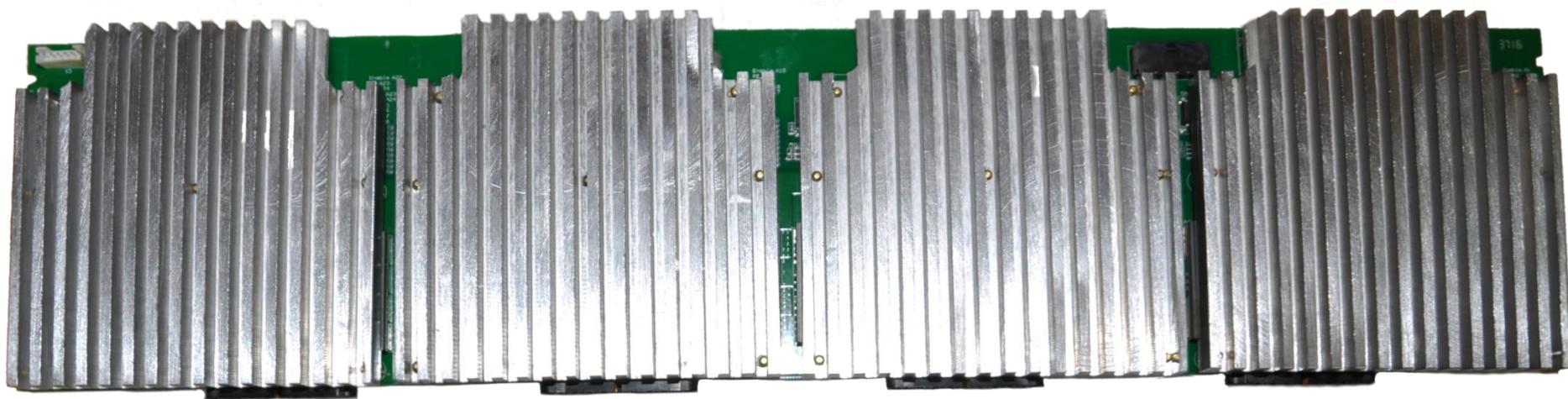
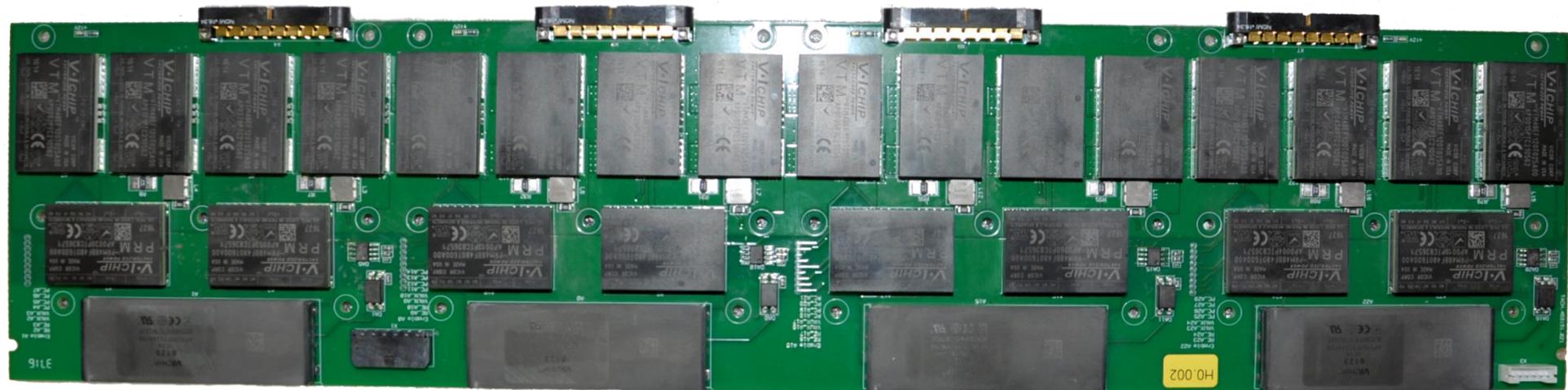
P – тепловая мощность, выделяемая рабочей платой, Вт.



BM «Волопас-Т», 2017



Модуль питания «Волопас-Т», 2017



МЗУ «Волопас-Т», 2017

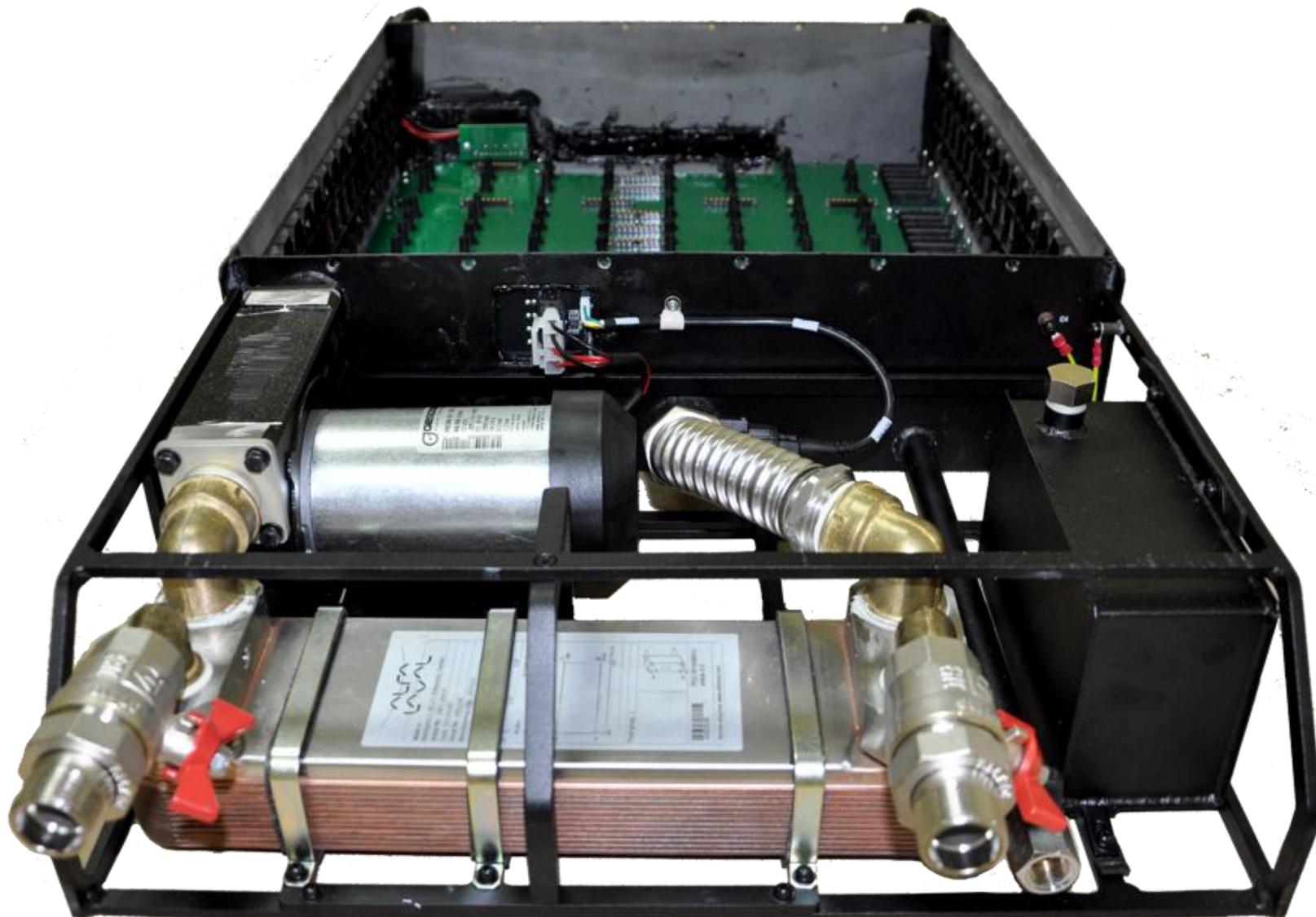


В НИЦ СЭ и НК разработана и произведена оригинальная материнская плата на основе процессора Intel Skylake® (Core I5-6300U) для вычислительного блока с жидкостным охлаждением.

Плата выполнена в 18 слоев, и имеет минимальные габариты 490x109,7 мм.



РЕКОНФИГУРИРУЕМЫЙ БЛОК «ВОЛОПАС» 2017 ГОД



РЕКОНФИГУРИРУЕМЫЙ БЛОК «ВОЛОПАС» 2017 ГОД



РЕКОНФИГУРИРУЕМЫЙ БЛОК «ВОЛОПАС» 2017 ГОД





РВС НА ОСНОВЕ РВБ «ВОЛОПАС» с ПЛИС UltraScale

Стандартный вычислительный шкаф
высотой 47U;

12 вычислительных модулей высотой 3U с
жидкостным охлаждением;

Каждый вычислительный модуль
содержит
12-16 плат мощностью 800 Вт каждая;

Каждая плата содержит 8 кристаллов
ПЛИС Xilinx Virtex-8 по 100-120 млн.
эквивалентных вентилям каждый;

Производительность **1 Пфлопс**;

Потребляемая мощность 124 кВт.

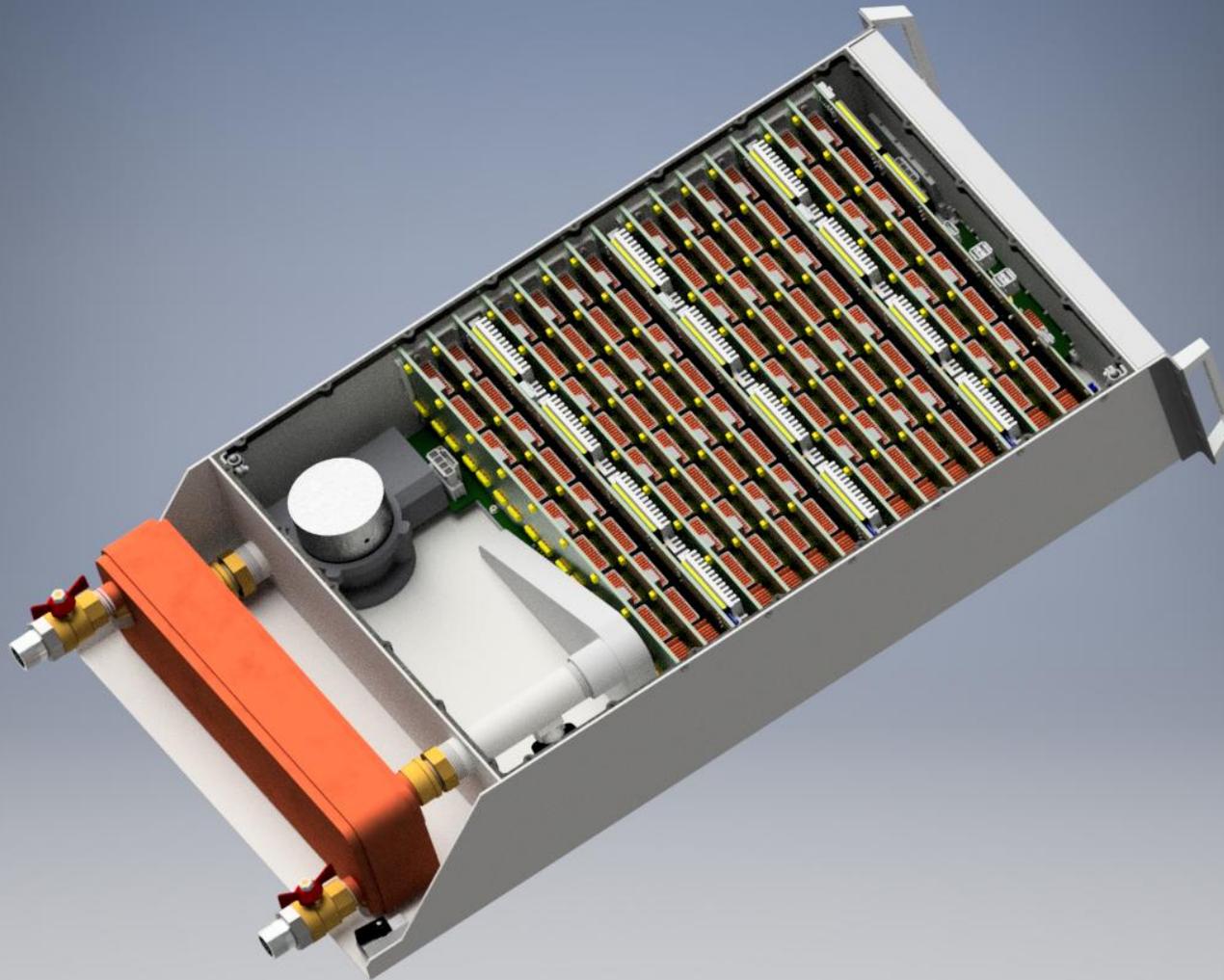
ПРОРЫВНЫЕ РЕШЕНИЯ РВС НОВОГО ПОКОЛЕНИЯ

- Новые платы вычислительного модуля: современные ПЛИС Xilinx Virtex UltraScale;
- Преобразователи DC/DC, 12/1 В, сила тока 1000 А;
- Использование электронных компонентов типоразмера 02*01 мм;
- Минимальная высота платы ВМ 100 мм;
- Погружная подсистема питания DC/DC, 380/12 В для 4 ПВМ;
- Погружная плата управления(материнская плата собственного производства)
- Уникальная конструкция вычислительного модуля;
- Передовая подсистема охлаждения
- Новый термоинтерфейс;
- Новые радиаторы оригинальной конструкции;
- Новый хладагент МД – 4,5 с пониженной вязкостью;
- Эффективные насос и теплообменник;
- Полный контроль параметров хладагента;
- Герметизация ВМ.

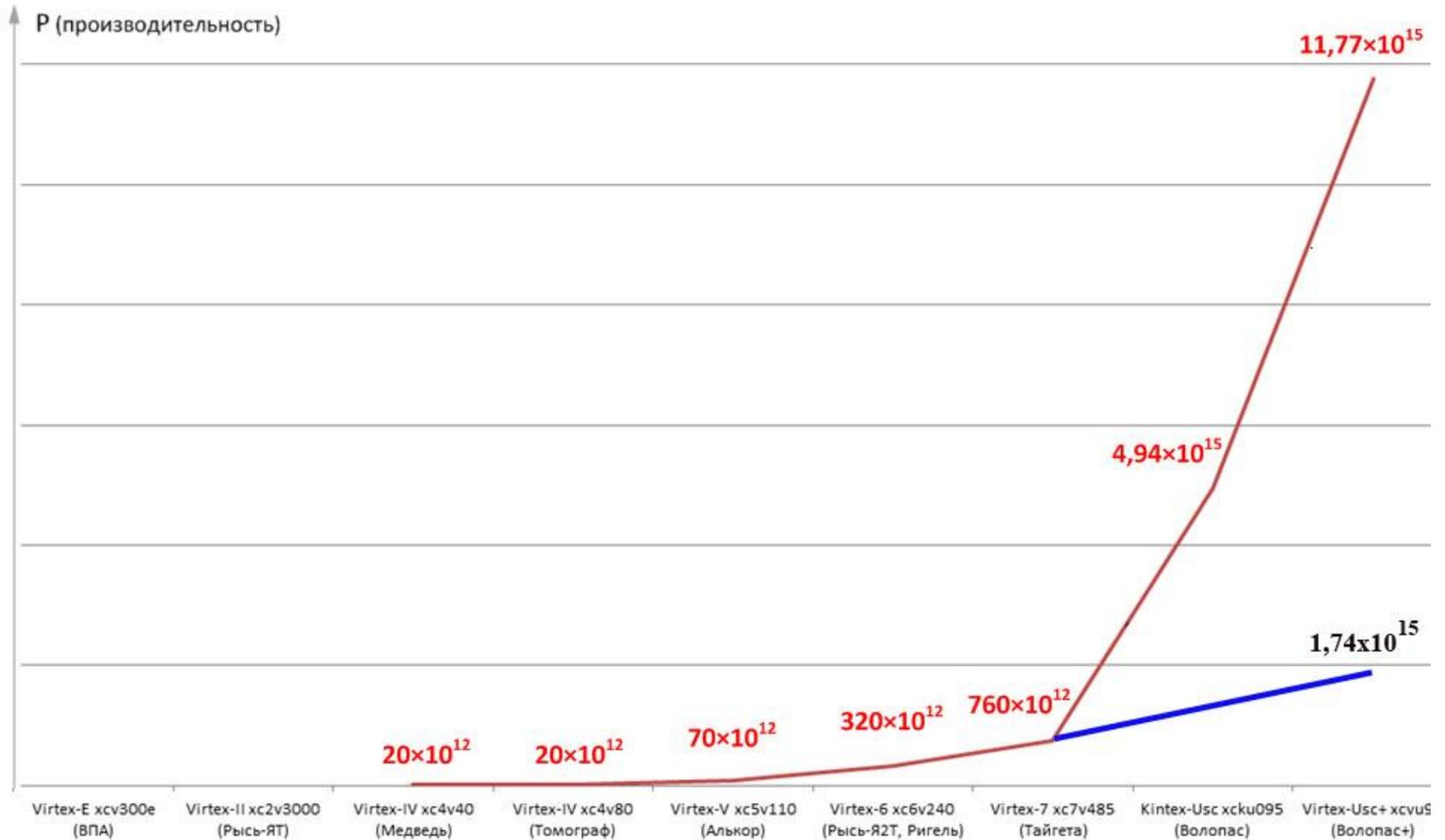
НАПРАВЛЕНИЯ РАБОТ ПО ПОВЫШЕНИЮ ЭФФЕКТИВНОСТИ СИСТЕМЫ ЖИДКОСТНОГО ОХЛАЖДЕНИЯ РВС НА ОСНОВЕ ПЕРСПЕКТИВНЫХ ПЛИС СЕМЕЙСТВА VIRTEX

- 1) Увеличение эффективной площади поверхности теплообмена.**
- 2) Увеличение производительности насоса подачи хладагента.**
- 3) Повышение надежности системы жидкостного охлаждения посредством применения погружных насосов.**
- 4) Отработка оптимальной конструкции радиаторов.**
- 5) Отработка технологии нанесения термоинтерфейса.**

РЕКОНФИГУРИРУЕМЫЙ БЛОК СЛЕДУЮЩЕГО ПОКОЛЕНИЯ «ВОЛОПАС+»



ДИНАМИКА РОСТА РЕАЛЬНОЙ ПРОИЗВОДИТЕЛЬНОСТИ СТОЕК [ОП/С]



БЛАГОДАРЮ ЗА ВНИМАНИЕ!

ВОПРОСЫ ПО АППАРАТНОЙ ЧАСТИ ?

Ресурснезависимое программирование гибридных реконфигурируемых вычислительных систем



Дордопуло А.И., Левин И.И.

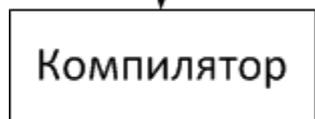
Программирование процессоров и реконфигурируемых вычислительных систем

Разработка программ для процессоров

текст исходной программы
(последовательность команд)



Последовательность команд



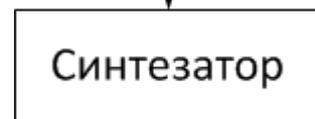
последовательность инструкций (software)

Программа транслируется в набор инструкций, исполняемых последовательно во времени на процессоре (или совокупности процессоров). Вычисления управляются потоком команд.

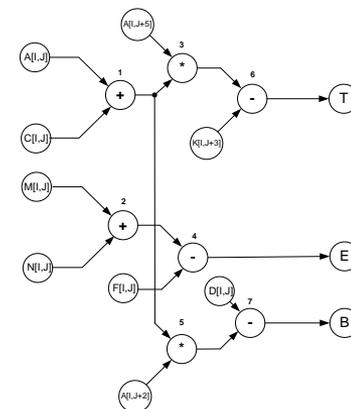
Разработка программ для РВС

текст исходной «структурной программы»
(совокупность функциональных устройств, информационно связанных между собой)

Информационный граф задачи



конфигурационный файл ПЛИС (configware)

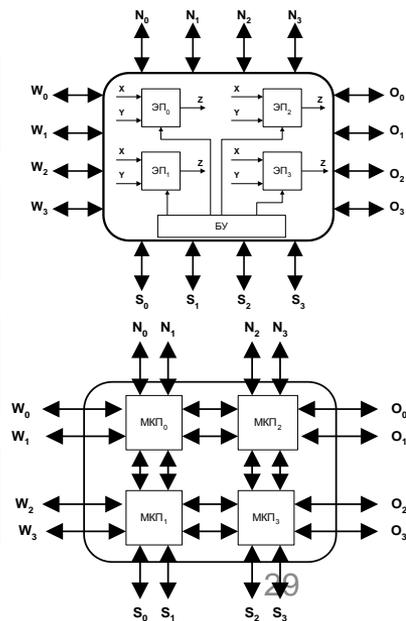
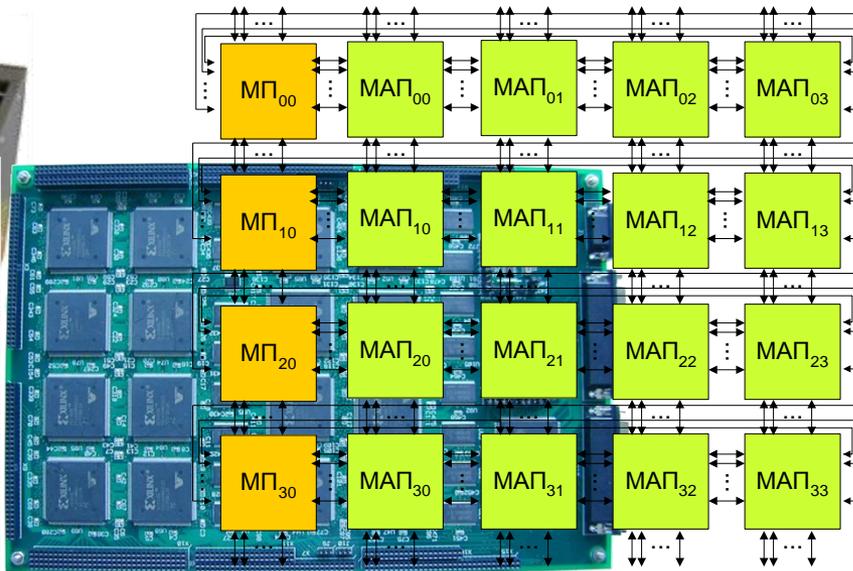


Структурная программа преобразуется синтезатором в совокупность логических таблиц и команд функциональных устройств, расположенных в кристаллах ПЛИС, а также связей между ними. Вычисления управляются потоками операндов.

Первое поколение средств разработки прикладных программ для МВС ПА и МВС СПОВ (2001-2005 гг.)

Аппаратная платформа

- МВС с программируемой архитектурой (Xilinx Virtex E);
- МВС со структурно-процедурной организацией вычислений (Рысь-ЯТ, Скиф - Xilinx Virtex E, Virtex 2);
- БМ с ортогональной коммутационной структурой;
- Макропроцессоры, макропамять и макрокоммутации.



Первое поколение средств разработки прикладных программ для МВС ПА и МВС СПОВ (2001-2005 гг.)

Средства программирования

- Транслятор языка ассемблера Argus;
- Синтезатор Water!Constructor;
- Среды разработки Argus и EasyO;
- Управляющая программа на языке Pascal или C;

The screenshot displays the Argus development environment. The main window shows the assembly code for a program named 'calculate.arg'. The code includes sections for loading data, repeating operations, and writing results. A sidebar on the left shows a project tree with sections and modules. A bottom status bar shows a warning about an uninitialized register.

```
uses "calculate.arg";

cadr
  load dc1;

  /*загрузка данных для каждой страницы.*/
  mod.0# read a0b0a1b1 repeat 1000;
  mod.1# read a2b2a3b3 repeat 1000;
  mod.2# read a4b4a5b5 repeat 1000;
  mod.3# read a6b6a7b7 repeat 1000;
  mod.4# read a8b8a9b9 repeat 1000;
  mod.5# read a10b10a11b11 repeat 1000;
  mod.6# read a12b12a13b13 repeat 1000;
  mod.7# read a14b14a15b15 repeat 1000;
endcadr;

/*Подключение модуля, описывающего макропатти и макрооперацию для выгрузки данных.*/
uses "read.arg";

/*В векторе Res будет храниться результат вычислений.*/
vector Z, Res;
define Z=0;

cadr
  load sum;
  /*Выгрузка данных.*/
  mod.3# read Z repeat 1000;
  w mod.7# write Res repeat 1000;
endcadr;

endprog;
```

The 'Graph Transformation' window shows a complex diagram with nodes labeled P[0] through P[15] and M[0,1] through M[14,15]. The nodes are arranged in a grid and connected by blue arrows, representing a data flow or transformation process. Each node contains numerical values, likely representing data or state at different stages of the process.

Второе поколение средств разработки прикладных программ для РВС с макрообъектной архитектурой (2005-2008 гг.)

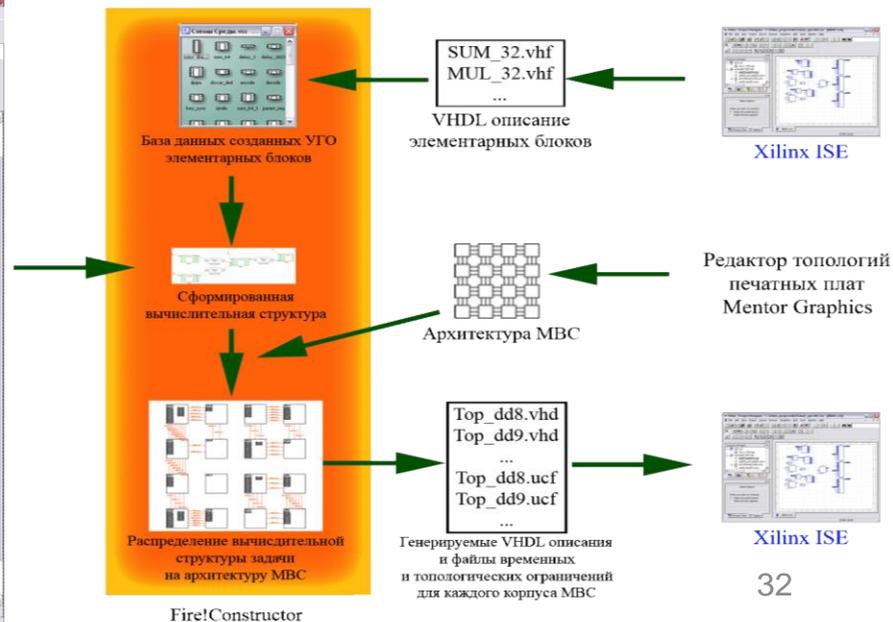
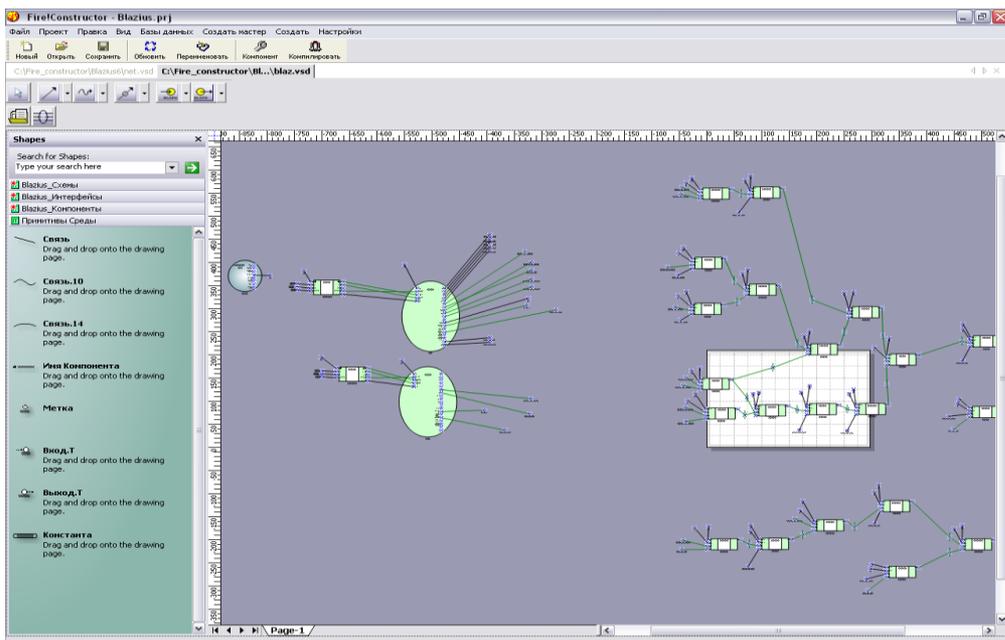
Аппаратная платформа

- РВС с макрообъектной архитектурой (Xilinx Virtex 4);
- РВС на основе реконфигурируемой элементной базы (Медведь, Мангуст, Триада, Тор);



Второе поколение средств разработки прикладных программ для РВС с макрообъектной архитектурой (2005-2008 гг.)

- Транслятор языка ассемблера Argus;
- Среда разработки масштабируемых вычислительных структур Fire!Constructor;
- Описание вычислительного ресурса и библиотека элементов;
- Управляющая программа на языке Pascal или C;



Третье поколение средств разработки прикладных программ для РВС семейства «Большая Медведица» (2007-2009 гг.)



Аппаратная платформа (Xilinx Virtex-5)

- РВС - 5 – РВС с производительностью более 6 Тфлопс;
- РВС-1Р – РВС с производительностью более 1 Тфлопс;
- РВС-0.2-РС – рабочая станция с производительностью более 300 Гфлопс;
- РУПК-50 – реконфигурируемый ускоритель производительностью 50 Гфлопс;
- РУПК-25 – реконфигурируемый ускоритель производительностью 25 Гфлопс (Spartan-3)

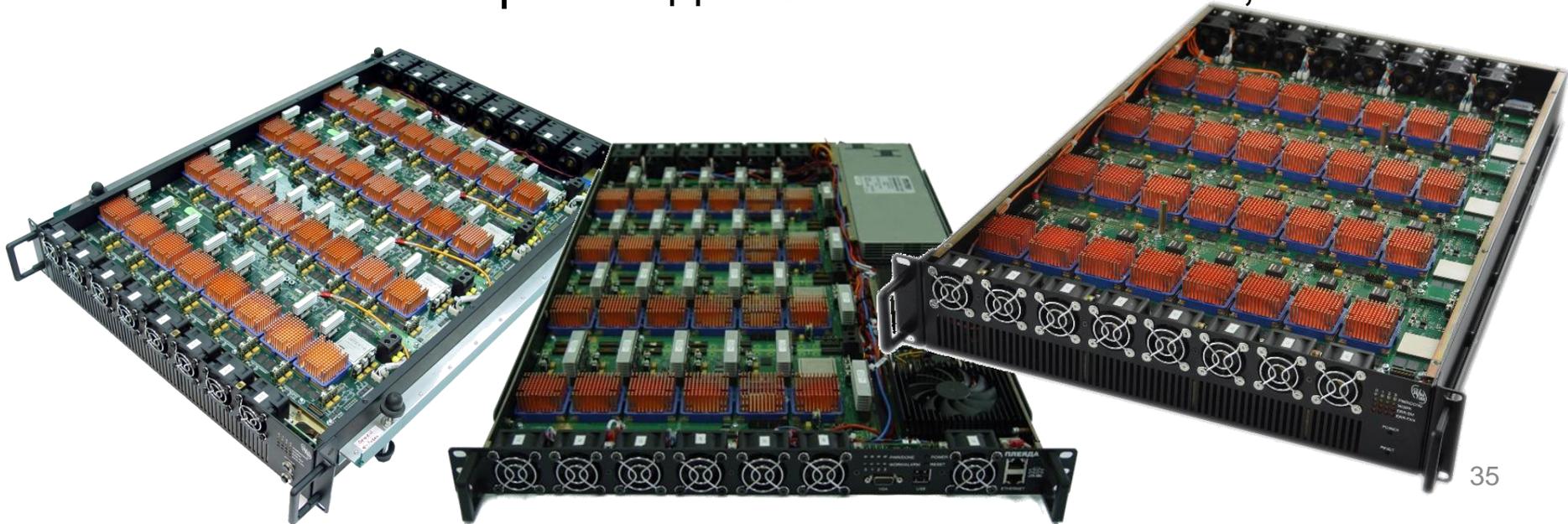
Третье поколение средств разработки прикладных программ для РВС семейства «Большая Медведица» (2007-2009 гг.)

- Интегрированная среда разработки;
- Транслятор языка программирования высокого уровня Colamo;
- Синтезатор масштабируемых вычислительных структур Fire!Constructor;
- Описания (паспорты) плат и РВС;
- Транслятор языка ассемблера Argus;
- Описание вычислительного ресурса и библиотека элементов;
- Управляющая программа на языке Pascal или C;

Четвертое поколение средств разработки прикладных программ для РВС высокой плотности компоновки (2010-2014 гг.)

Аппаратная платформа (Xilinx Virtex-6 и Virtex-7)

- ВМ «Орион», «Ригель/Ригель-2» (Virtex-6);
- ВМ «Плеяда», «Тайгета» (Virtex-7);
- РВС-7 – РВС с производительностью 10^{15} опс;



Четвертое поколение средств разработки прикладных программ для РВС высокой плотности компоновки (2010-2014 гг.)

- ИСР + транслятор Colamo +синтезатор Fire!Constructor;
- Описания (паспорты) РВС и библиотека элементов;
- Средства диагностики и мониторинга;
- Средства описания софт-архитектур и синтезатор Steam!Constructor;
- Управляющая программа на языке С;

Пятое поколение средств разработки прикладных программ для РВС и гибридных вычислительных систем (2014 - 2017 гг.)

Аппаратная платформа (Xilinx Virtex-7, Virtex UltraScale)

- ВМ «Скат», «Волопас», «Волопас+»;



- **Препроцессор языка Colamo для ресурснезависимого программирования;**
- **ИСП + транслятор Colamo +синтезатор Fire!Constructor;**
- **Описания (паспорты) РВС и библиотека элементов;**
- **Средства диагностики и мониторинга;**
- **Средства описания софт-архитектур и синтезатор Steam!Constructor;**
- **Управляющая программа на языке С;**

Основные вычислительные архитектуры

Процессоры

Граф. ускорители
и спец. процессоры

ПЛИС



Остановка «гонки частот» и роста числа ядер, «бутылочное горло», «стена памяти»

Ограниченный класс применения – слабосвязанные задачи и Deep Learning, «бутылочное горло» при доступе к памяти процессора

Неэффективность решения задач, содержащих большое количество условных операторов и рекурсии

Перспективы вычислительных архитектур: гибридные реконфигурируемые вычислительные системы

1. Гибридная реконфигурируемая вычислительная система содержит многопроцессорные вычислительные узлы с кристаллами ПЛИС и вычислительные узлы на основе традиционных микропроцессоров, объединенные в единый вычислительный контур пространственной коммутационной системой.
2. Гибридная реконфигурируемая вычислительная система характеризуется различным числом реконфигурируемых и процессорных узлов и различной топологией их соединений с помощью каналов связи.
3. Гибридная реконфигурируемая вычислительная система поддерживает реализацию как структурных, так и процедурных вычислений в едином вычислительном контуре.

Существующие системы программирования гибридных вычислительных систем

1. Для процессорных систем - MPI, OpenMP, HOPMA, DVM, PVM и др.
2. Для графических ускорителей - CUDA, OpenACC и др.
3. Для гибридных систем с ПЛИС - OpenCL

Все эти технологии ориентированы на программирование только одного устройства с фиксированной внутренней структурой и заранее определенным набором команд, что усложняет масштабирование прикладной программы вычислительной системы гибридного типа, особенно в случае сокращения доступного аппаратного ресурса;

1. Каждая часть вычислительной системы гибридного типа программируется в рамках своей технологии (CUDA, OpenACC, OpenCL) отдельно на своем языке программирования.
2. Синхронизация информационных потоков в структуре задачи возлагается на программиста.
3. Прикладная программа пишется под текущую конфигурацию гибридной вычислительной системы, любое изменение структуры системы приводит к изменениям программы, портирование программы практически невозможно.

Ресурснезависимое программирование ГРВС

Методы представления и описания вычислений на различных узлах ГРВС, позволяющие гибко изменять параметры реализации прикладной задачи – количество и тип реализации структурных и процедурных фрагментов, частоту работы каждого фрагмента, разрядность обрабатываемых данных, число вычислительных устройств для реализации фрагмента задачи.

Методы программирования должны обеспечивать возможность плавного перехода от процедурной организации вычислений к структурно-процедурной и структурной организации вычислений с синтезом сбалансированной вычислительной структуры.

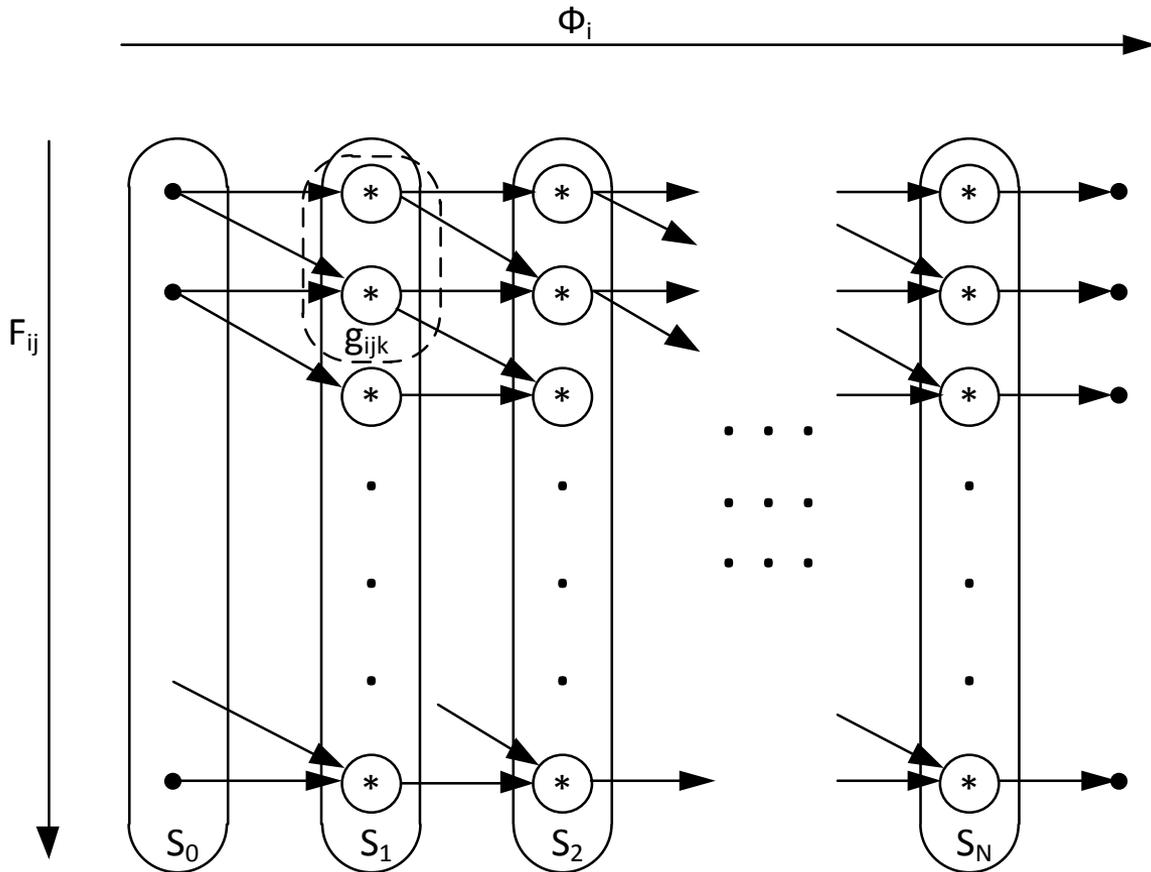
Преобразование задачи к наиболее рациональной форме организации вычислений для заданного аппаратного ресурса ГРВС должно осуществляться автоматизированно, без участия программиста.

Прикладная программа должна описывать семантику вычислений, а не их реализацию на вычислительной системе.

Методы описания ресурсонезависимых вычислений

$$G = \bigcup_{i=1}^M \bigcup_{j=1}^{N_i} \bigcup_{k=1}^{K_{i,j}} g_{i,j,k}$$

$$G = \Phi_i(F_{i,j}(g_{i,j,k}))$$



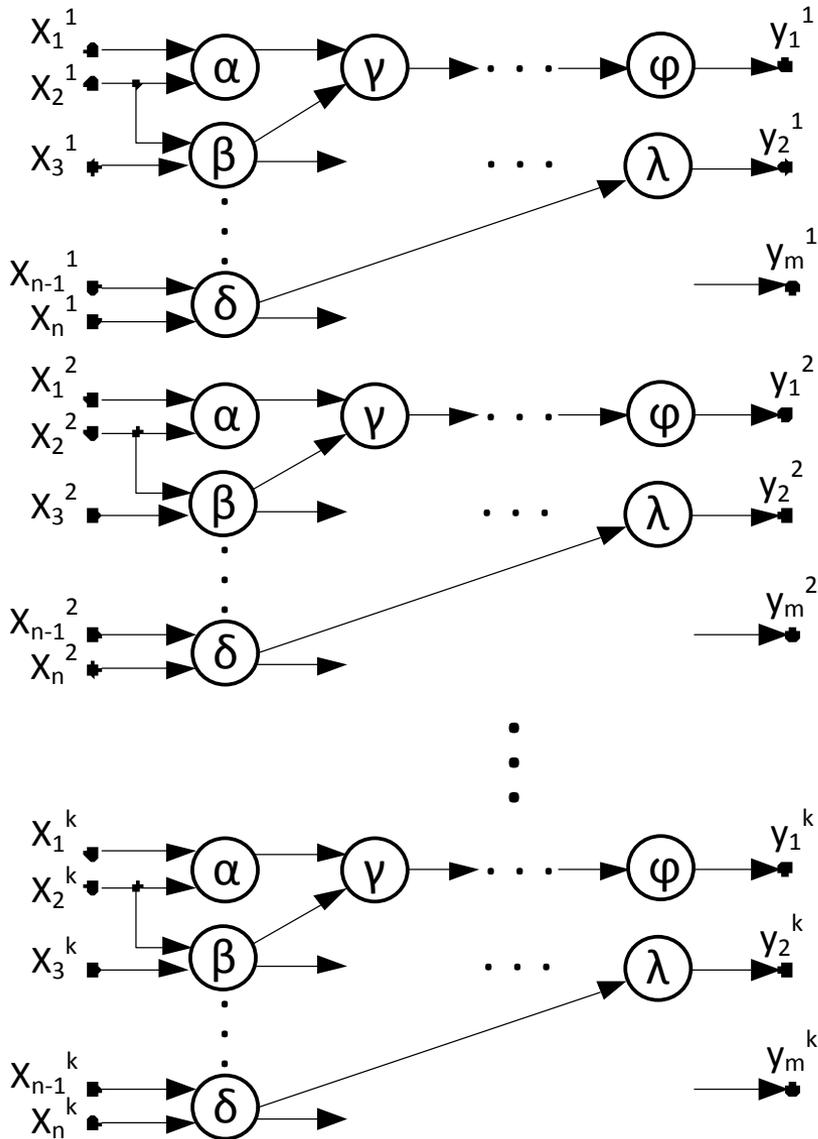
$$F_{ij} = f(F_{ij}, R) = F_R^{//} \cup F_R^{>>}$$

$$\Phi_i = \varphi(\Phi, R) = \Phi_R^{//} \cup \Phi_R^{>>}$$

$$g_{i,j} = g_{i,j}^{//} \cup g_{i,j}^{>>} = \Gamma(g_{i,j}, R)$$

Параллельная реализация базовых подграфов

$$F_{ij} = F_{ij}^{//} \cup F_{ij}^{>>} = F_R^{//}$$



Const N = 10;

Var a, b, c : Array Integer [N:Vector]

Mem;

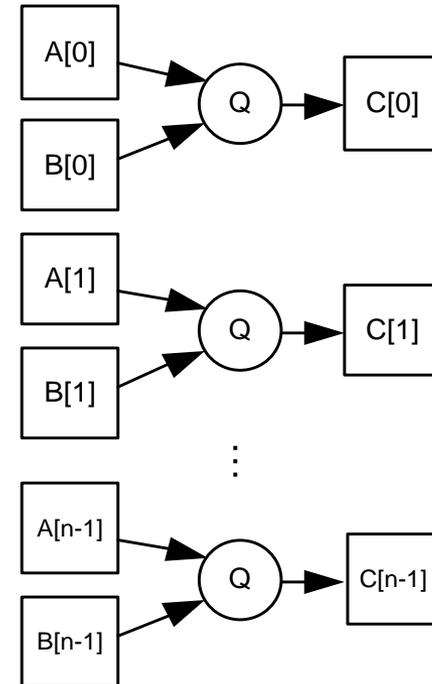
Var I : Number;

Cadr summa;

For i:=0 To N - 1 Do

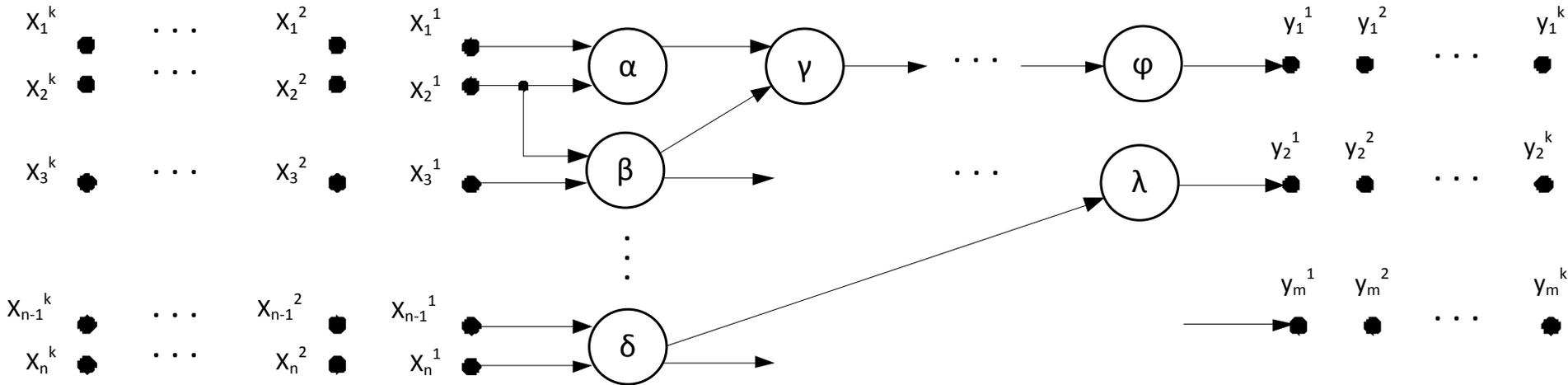
c[i] := Q(a[i], b[i]);

Endcadr;



Конвейерная реализация базовых подграфов

$$F_{ij} = F_{ij}^{//} \cup F_{ij}^{>>} = F_R^{>>}$$

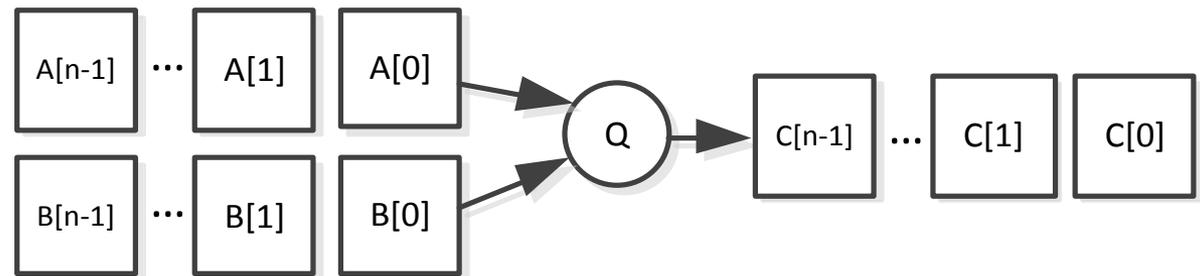


```

Const N = 10;
Var a, b, c : Array
Integer [N:Stream] Mem;
Var I : Number;
  
```

```

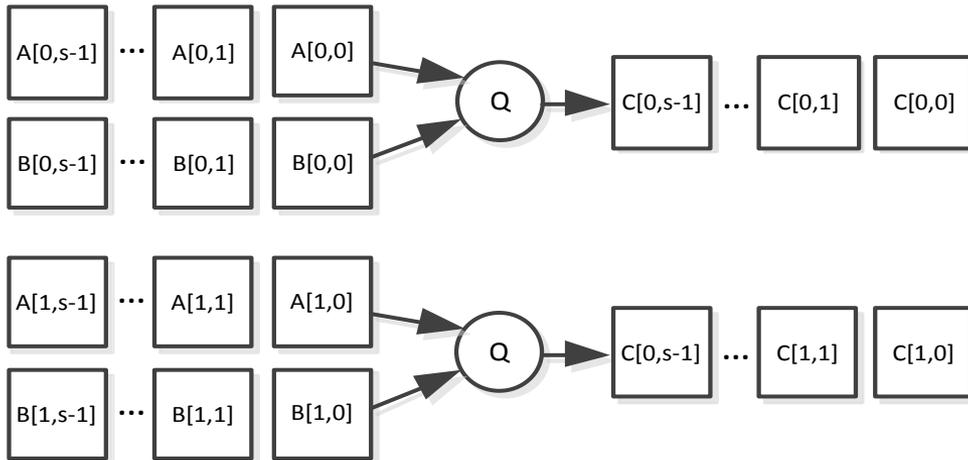
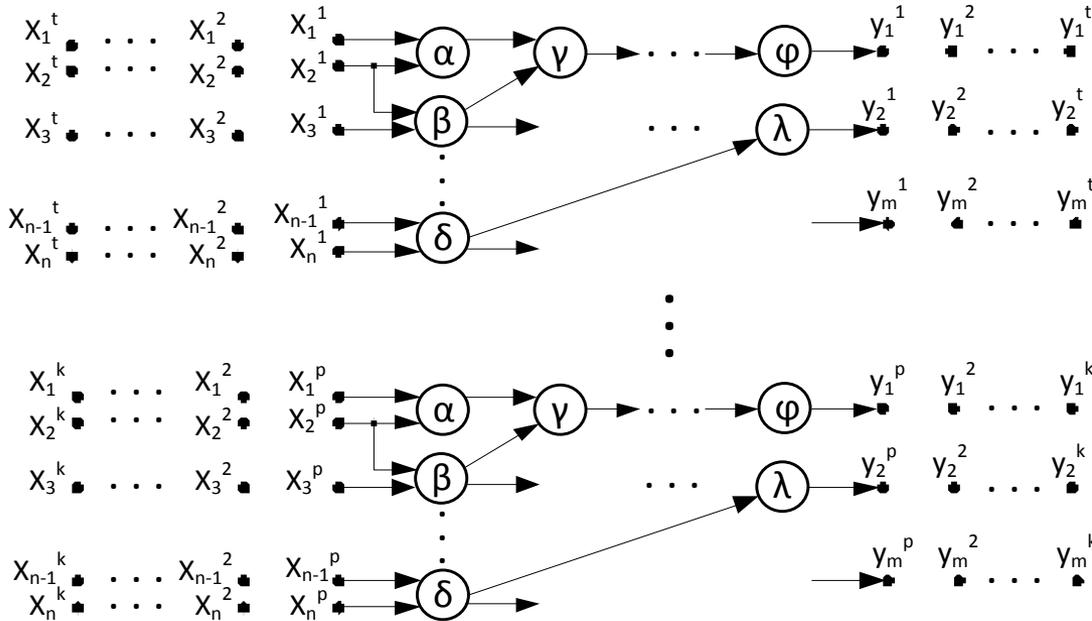
Cadr summa;
  For i:=0 To N - 1 Do
    c[i] := Q(a[i], b[i]);
  Endcadr;
  
```



Параллельно-конвейерная реализация базовых подграфов

$$F_{ij} = F_R // \bigcup F_R^{>>}$$

подграфов



Const N = 2;

Const S = 5;

Var a, b, c : Array Integer
[N:Vector, S: Stream] Mem;

Var I, J : Number;

Cadr summa;

For i:=0 To N - 1 Do

For j:=0 To S - 1 Do

c[i,j] := Q(a[i,j], b[i,j]);

Endcadr;

Масштабирование вычислений в базовых подграфах

Описание вычислений в задаче

$$G = \Phi_i(F_j(g_{i,j})) = \Phi_i(F_j(g_{i,j}^{\parallel} \cup g_{i,j}^{\gg}))$$

Способ реализации базового подграфа

$$g_{i,j} = g_{i,j}^{\parallel} \cup g_{i,j}^{\gg} = \Gamma(g_{i,j}, R)$$

Представление базового подграфа как объединения операций

$$g_{i,j} = \Gamma(g_{i,j}, R) = \bigcup_{m=1}^P \mu_m$$

Параллельно-конвейерная форма базового подграфа

$$g_{ij} = \ggg_{m=1}^P \mu_m$$

Обобщенный подграф операций базового подграфа

$$\mu^* \cong \mu_m \cup d, \quad m = 1..P$$

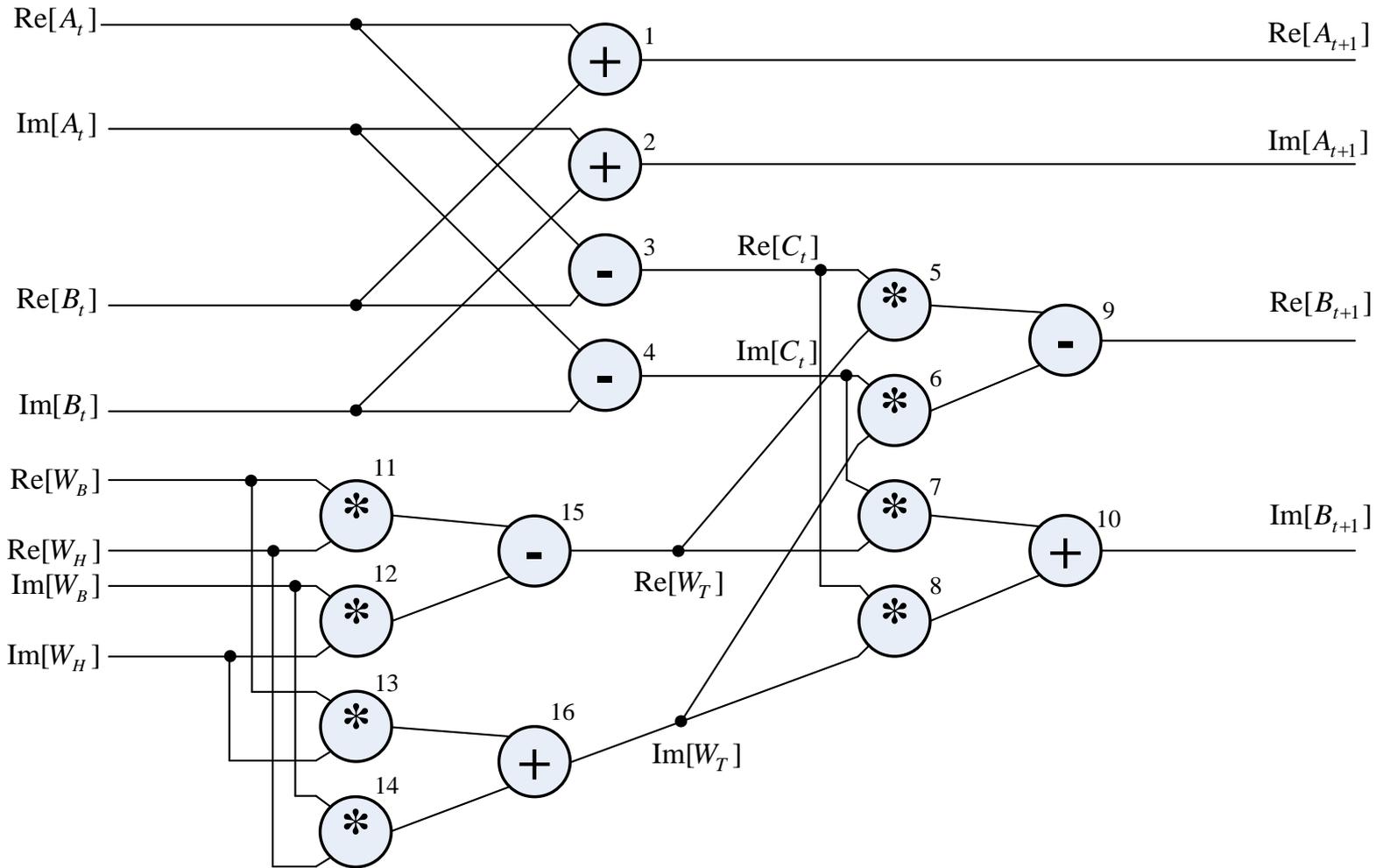
Представление подграфа операций

$$\mu_m = \begin{matrix} T_m \\ \parallel \\ \lambda_{m,t} \\ t=1 \end{matrix}$$

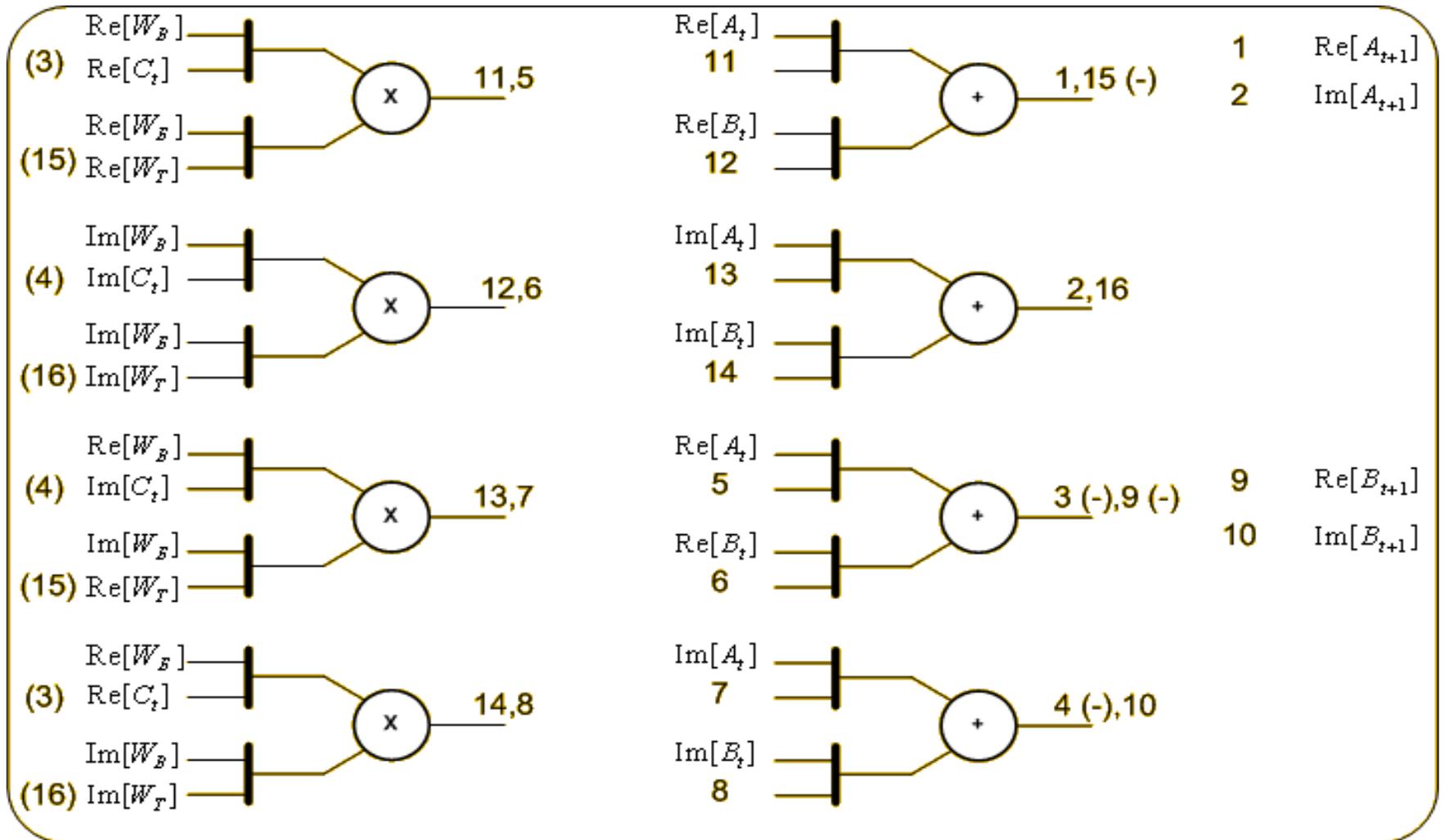
Параллельно-конвейерная форма базового подграфа

$$g_{i,j} = \ggg_{m=1}^P \begin{matrix} T_m \\ \parallel \\ \lambda_{m,t} \\ t=1 \end{matrix}$$

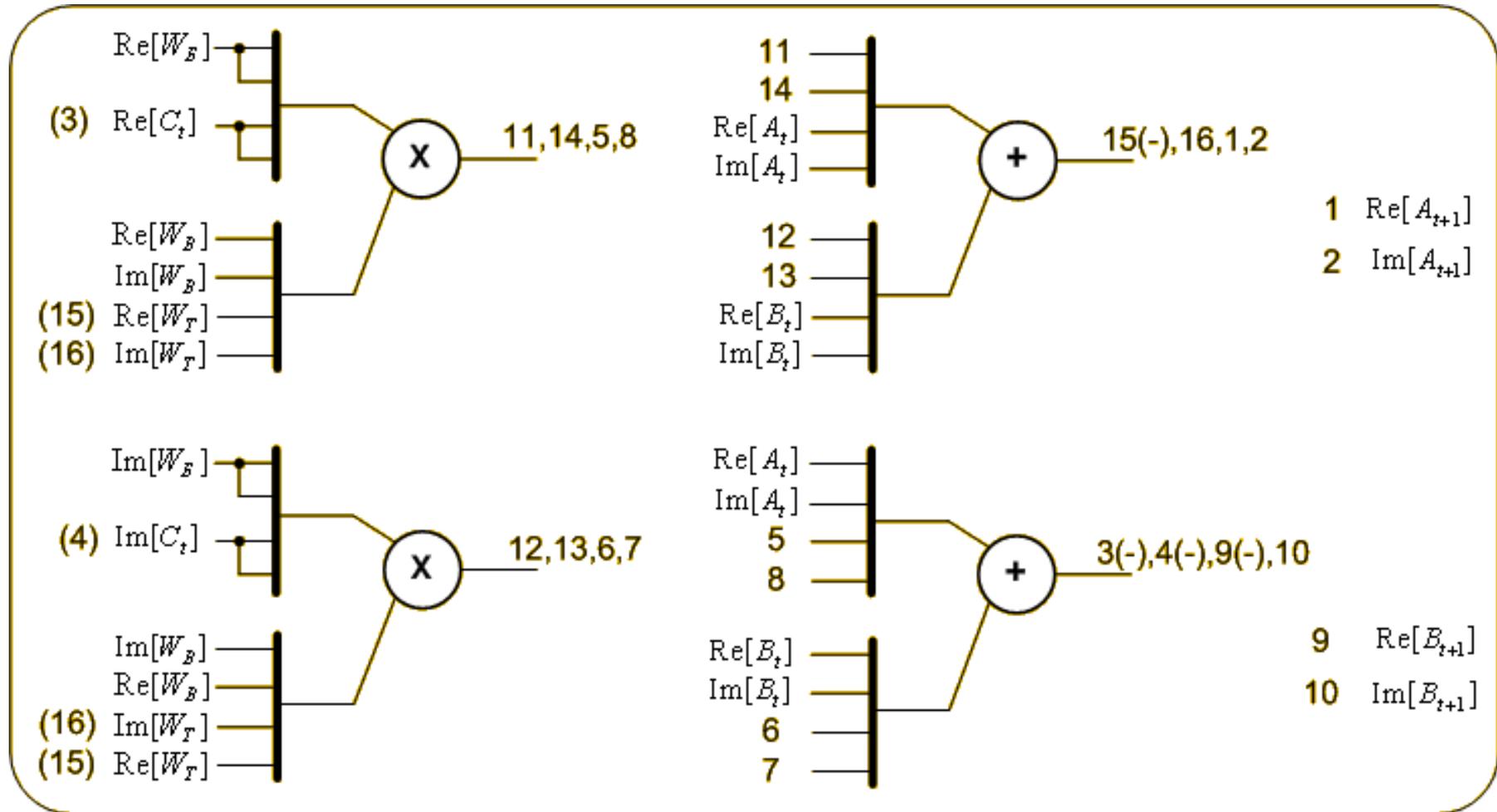
Информационный граф структурной реализации базового подграфа БПФ



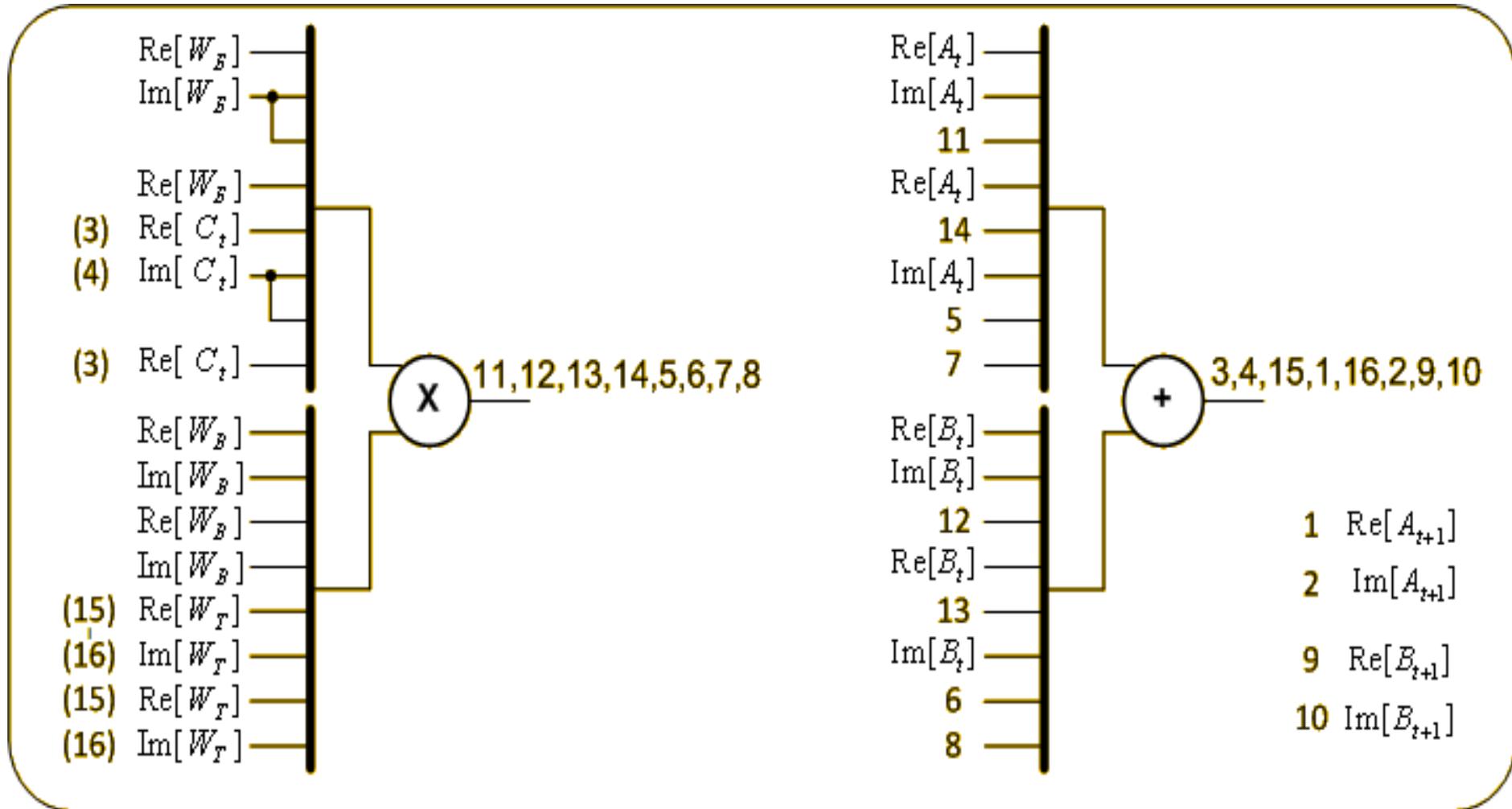
Разбиение базового подграфа БПФ на базовые фрагменты (редукция со степенью 2)



Разбиение базового подграфа БПФ на базовые фрагменты (редукция со степенью 4)



Разбиение базового подграфа БПФ на базовые фрагменты (редукция со степенью 8)



Принципы ресурснезависимого программирования ГРВС

- вычисления прикладной задачи описываются информационным графом в единой параллельно-конвейерной (канонической) форме, которая может представлять как структурную (полностью параллельную), так и процедурную (полностью последовательную) организацию вычислений и их различные сочетания в едином вычислительном контуре;
- каноническая форма позволяет масштабировать вычисления в обе стороны: как в случае увеличения доступного вычислительного ресурса (индукция) , так и в случае сокращения доступного вычислительного ресурса (редукция);
- адаптация вычислений под текущую конфигурацию ГРВС осуществляется с помощью методов масштабирования.
- единым языком для программирования ВСГТ является язык высокого уровня с неявным описанием параллелизма COLAMO;
- определение эффективных параметров масштабирования программы выполняется без участия пользователя с помощью автоматизированных средств программирования;
- масштабирование выполняется в автоматизированном режиме специальной программой - препроцессором;

Параллельно-конвейерная форма задачи

1. Для реализации функций масштабирования Φ и F все массивы в ПКФ должны содержать параллельный (Vector) и последовательный (Stream) типы доступа.
2. Все переменные (кроме счетчиков цикла) в ПКФ должны поддерживать непосредственное обращение к переменной по её типу, а также параллельный (bitvector) и последовательный (bitstream) типы доступа к битам.
3. Все фрагменты вычислений в ПКФ могут быть выполнены как структурно, так и процедурно.

Схема трансляции



Приложение методов ресурсонезависимого программирования:

1. Решение задач молекулярного моделирования, моделирования течений и биодинамики моря, моделирование распространения воздушных масс.
2. Распараллеливающий компилятор языка C для PBC;

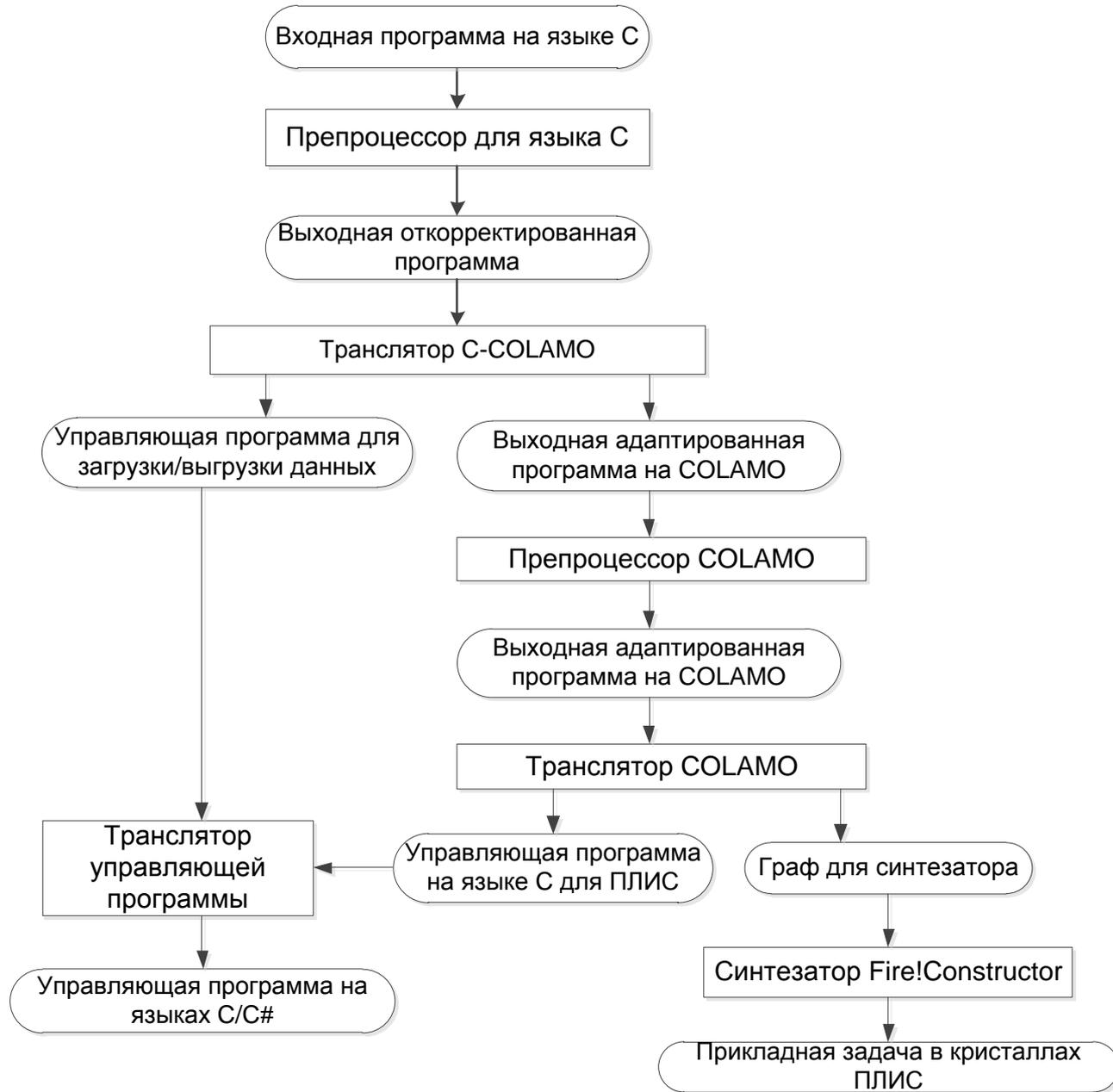
Распараллеливающий компилятор языка C для PBC

Цель: преобразовать последовательную программу на языке программирования C в стандарте ISO/IEC 9899:1999 с GNU расширением (компилятор gcc) в информационный граф, описанный на языке программирования COLAMO, который с помощью препроцессора COLAMO адаптируется под заданный вычислительный ресурс PBC или ВСГТ.

Механизм реализации:

1. Препроцессор транслятора C-COLAMO приводит программу на C к форме для преобразования (раскрывает директивы условной компиляции, зависимые макросы, тернарные операции, преобразует SWITCH и CASE к оператору IF, все циклы приводятся к оператору FOR и другие операции);
2. Транслятор C-COLAMO строит информационный граф из последовательной программы, который отображает в синтаксис языка COLAMO (преобразует типы данных C в типы COLAMO, адресное обращение к массивам по указателям в индексную адресацию, адресное обращение к разрядам в операторы FlexBit/Separate/Combine, реализует однократное присваивание, распараллеливает вычисления по итерациям);
3. Транслятор COLAMO транслирует полученную программу с помощью синтезатора Fire!Constructor в конфигурационные файлы ПЛИС на VHDL.

Распараллеливающий компилятор языка C для FVC



Сравнение аппаратного ресурса для реализации «Алгоритма 1»

на COLAMO, Vivado HLS и транслятором C-Colamo
для микросхемы Xilinx Virtex 7 XC7VX485T (PBC «Тайгета»)

Наименование ресурса	Реализация пользователя на Colamo	Автоматическая реализация программы С в Vivado HLS	Автоматическая реализация программы С в трансляторе C-Colamo	Эффективность C-Colamo	
				К Colamo	К Vivado HLS
Slice Registers (всего 607,200)	2 412	13 665	3 499	0,70	3,9
Slice LUTs (всего 303,600)	1 496	9 034	2 878	0,52	3,14
as logic	1 239	3 649	2 529	0,49	1,44
as Memory	15	2 311	11	1,36	210
as route-thrus	243	3 074	338	0,72	9,09
Occupied Slices (всего 75,900)	808	2 803	1 121	0,72	2,5
Максимальное число конвейеров в ПЛИС	240	30	120	0,5 (120/240)	4 (120/30)
Время трансляции	12 ч. 10 мин.	7 ч. 24 мин. 6 сек.	6 ч. 29 мин. 45 сек.		

Время трансляции программы С в трансляторе C-Colamo (120 конвейеров):

Наименование	Время
Конвертор C-to-COLAMO	1 сек.
Транслятор COLAMO	2 мин. 32 сек.
Синтезатор Fire!Constructor	12 сек.
ISE	6 ч. 27 мин.

БЛАГОДАРЮ ЗА ВНИМАНИЕ !